

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2003年 2月14日

出 願 番 号

Application Number:

特願2003-037473

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2003-037473

出 願 人

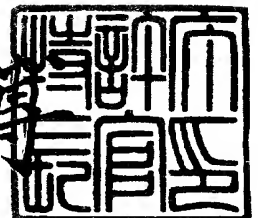
Applicant(s):

T D K株式会社

2008年 3月31日

特許庁長官
Commissioner,
Japan Patent Office

肥塚 雅博



【書類名】 特許願

【整理番号】 TD99P04685

【あて先】 特許庁長官殿

【国際特許分類】

H04B 01/18

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 中井 信也

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100107559

【弁理士】

【氏名又は名称】 星宮 勝美

【先の出願に基づく優先権の主張】

【出願番号】 特願2002- 89726

【出願日】 平成14年 3月27日

【先の出願に基づく優先権の主張】

【出願番号】 特願2002-130372

【出願日】 平成14年 5月 2日

【手数料の表示】

【予納台帳番号】 064839

【納付金額】 21, 000

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フロントエンドモジュール

【特許請求の範囲】

【請求項 1】 第 1 および第 2 の周波数帯域のそれぞれにおける送信信号および受信信号を処理するためのフロントエンドモジュールであって、

アンテナに接続され、前記第 1 および第 2 の周波数帯域を分離する第 1 の分離手段と、

前記第 1 の分離手段に接続され、それぞれフィルタとして機能する 2 つの弾性波素子を含み、前記第 1 の周波数帯域における送信信号と受信信号とを分離する第 2 の分離手段と、

前記第 1 の分離手段に接続され、それぞれフィルタとして機能する 2 つの弾性波素子を含み、前記第 2 の周波数帯域における送信信号と受信信号とを分離する第 3 の分離手段と、

前記第 1 ないし第 3 の分離手段を集積するための 1 つの集積用多層基板とを備え、

前記第 1 の分離手段は、前記集積用多層基板の内部または表面上の導体層を用いて構成されていることを特徴とするフロントエンドモジュール。

【請求項 2】 前記第 2 の分離手段に含まれる 2 つの弾性波素子および前記第 3 の分離手段に含まれる 2 つの弾性波素子は、前記集積用多層基板に実装され、

前記弾性波素子以外の第 2 の分離手段および第 3 の分離手段の回路部分の少なくとも一部は、前記集積用多層基板の内部または表面上の導体層を用いて構成されていることを特徴とする請求項 1 記載のフロントエンドモジュール。

【請求項 3】 前記第 1 の分離手段は、

第 1 の周波数帯域内の周波数の信号を通過させ、第 2 の周波数帯域内の周波数の信号を遮断するフィルタと、

第 2 の周波数帯域内の周波数の信号を通過させ、第 1 の周波数帯域内の周波数の信号を遮断するフィルタとを有することを特徴とする請求項 1 または 2 記載のフロントエンドモジュール。

【請求項４】 前記第１および第２の周波数帯域のそれぞれにおける送信信号および受信信号は、符号分割多重接続方式の信号であることを特徴とする請求項１ないし３のいずれかに記載のフロントエンドモジュール。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、携帯電話等の通信装置において送信信号および受信信号を処理するためのフロントエンドモジュールに関する。

【０００２】

【従来の技術】

近年、携帯電話は、第３世代を迎え、単なる通話機能だけではなく、高速データ通信機能をも有することが必須となりつつある。そのため、各国において、高速データ通信を可能にする種々の多重化方式の採用が検討されている。しかしながら、多重化方式の統一は困難な状況である。そのため、携帯電話には、マルチモード（複数方式）およびマルチバンド（複数の周波数帯）に対応することが求められている。

【０００３】

例えば、欧州では、既に、GSM (Global System for Mobile Communications) 方式とDCS (Digital Cellular System) 方式とに対応可能なデュアルバンド型携帯電話が全域で普及している。GSM方式とDCS方式は、いずれも時分割多重接続方式である。欧州では、第３世代携帯電話として、上記の２方式に加え、大きなデータ通信速度（例えば2Mbps）を実現することができる広帯域符号分割多重接続（以下、W-CDMAとも記す。）方式にも対応可能なデュアルモード・トリプルバンド型携帯電話を採用することを予定している。

【０００４】

携帯電話では、上述のように新たな機能が付加されると、回路がより複雑になると共に部品点数が増える。そのため、携帯電話では、より高密度の部品実装技術が要求されている。また、このような事情から、携帯電話の内部の高周波回路では、その実装スペースを削減するため、部品の小型軽量化、複合化および集積

化が不可欠となっている。

【０００５】

特許文献１には、ＧＳＭ方式およびＤＣＳ方式に対応したデュアルバンド型携帯電話用の高周波スイッチモジュールが記載されている。この高周波スイッチモジュールでは、分波回路によってＧＳＭ方式に対応した周波数帯域とＤＣＳ方式に対応した周波数帯域とを分離すると共に、２つの高周波スイッチを用いて、各周波数帯域における送信信号と受信信号とを分離するようになっている。

【０００６】

また、特許文献２には、３つの周波数帯域を使用する３つの通信システムのそれぞれの送信信号および受信信号を処理するための高周波モジュールが記載されている。この高周波モジュールでは、ダイプレクサによって、低周波数帯域と高周波数帯域とを分離する。高周波数帯域には、第１および第２の通信システムの２つの周波数帯域が含まれている。低周波数帯域には、第３の通信システムの周波数帯域が含まれている。第１および第２の通信システムの受信信号と、第１および第２の通信システムの送信信号は、第１の高周波スイッチによって分離される。また、第３の通信システムの送信信号と受信信号は、第２の高周波スイッチによって分離される。また、第１の通信システムの受信信号と第２の通信システムの受信信号は、２つのＳＡＷフィルタによって分離される。また、特許文献２には、複数のシート層を積層してなる積層体によって、高周波モジュールの構成要素を複合化することが記載されている。

【０００７】

【特許文献１】

特開平１１－２２５０８８号公報

【特許文献２】

特開２００２－４３９７７号公報

【０００８】

【発明が解決しようとする課題】

特許文献１に記載された高周波スイッチモジュールでは、高周波スイッチを用いて、各周波数帯域における送信信号と受信信号とを分離している。また、特許

文献２に記載された高周波モジュールでも、高周波スイッチを用いて送信信号と受信信号とを分離している。そのため、特許文献１に記載された高周波スイッチモジュールや、特許文献２に記載された高周波モジュールでは、ＣＤＭＡ方式に対応することができないという問題点がある。

【０００９】

なお、特許文献２では、２つの通信方式の受信信号を分離する２つのＳＡＷフィルタを含むものをＳＡＷデュプレクサと称している。しかし、一般的に、デュプレクサは、送信信号と受信信号とを分離するものを指す。本発明の実施の形態においても、送信信号と受信信号とを分離するものをデュプレクサと呼ぶ。従って、特許文献２におけるＳＡＷデュプレクサは、機能上、本発明の実施の形態におけるデュプレクサとは異なるものである。

【００１０】

本発明はかかる問題点に鑑みてなされたもので、その目的は、第１および第２の周波数帯域のそれぞれにおける送信信号および受信信号を処理できると共に符号分割多重接続方式に対応可能で、且つ小型軽量化、複合化および集積化が容易なフロントエンドモジュールを提供することにある。

【００１１】

【課題を解決するための手段】

本発明のフロントエンドモジュールは、第１および第２の周波数帯域のそれぞれにおける送信信号および受信信号を処理するためのモジュールであって、

アンテナに接続され、第１および第２の周波数帯域を分離する第１の分離手段と、

第１の分離手段に接続され、それぞれフィルタとして機能する２つの弾性波素子を含み、第１の周波数帯域における送信信号と受信信号とを分離する第２の分離手段と、

第１の分離手段に接続され、それぞれフィルタとして機能する２つの弾性波素子を含み、第２の周波数帯域における送信信号と受信信号とを分離する第３の分離手段と、

第１ないし第３の分離手段を集積するための１つの集積用多層基板とを備え、

第1の分離手段は、集積用多層基板の内部または表面上の導体層を用いて構成されているものである。

【0012】

本発明のフロントエンドモジュールでは、第1の分離手段によって、第1および第2の周波数帯域が分離され、2つの弾性波素子を含む第2の分離手段によって、第1の周波数帯域における送信信号と受信信号とが分離され、2つの弾性波素子を含む第3の分離手段によって、第2の周波数帯域における送信信号と受信信号とが分離される。第1ないし第3の分離手段は、1つの集積用多層基板によって集積されている。また、第1の分離手段は、集積用多層基板の内部または表面上の導体層を用いて構成されている。なお、弾性波素子とは、弾性波を利用した素子である。弾性波素子は、弾性表面波を利用する弾性表面波素子でもよいし、バルク弾性波を利用するバルク弾性波素子でもよい。

【0013】

本発明のフロントエンドモジュールにおいて、第2の分離手段に含まれる2つの弾性波素子および第3の分離手段に含まれる2つの弾性波素子は、集積用多層基板に実装され、弾性波素子以外の第2の分離手段および第3の分離手段の回路部分の少なくとも一部は、集積用多層基板の内部または表面上の導体層を用いて構成されていてもよい。

【0014】

また、本発明のフロントエンドモジュールにおいて、第1の分離手段は、第1の周波数帯域内の周波数の信号を通過させ、第2の周波数帯域内の周波数の信号を遮断するフィルタと、第2の周波数帯域内の周波数の信号を通過させ、第1の周波数帯域内の周波数の信号を遮断するフィルタとを有していてもよい。

【0015】

また、本発明のフロントエンドモジュールにおいて、第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号は、符号分割多重接続方式の信号であってもよい。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

[第1の実施の形態]

始めに、本発明の第1の実施の形態に係るフロントエンドモジュールについて説明する。本実施の形態に係るフロントエンドモジュールは、時分割多重接続方式であるGSM方式と、時分割多重接続方式であるDCS方式と、符号分割多重接続方式であるW-CDMA方式と、符号分割多重接続方式である狭帯域符号分割多重接続（以下、N-CDMAと記す。）方式に対応し、これらの各方式の送信信号および受信信号を処理するモジュールである。GSM方式の送信信号の周波数帯域は880MHz～915MHzである。GSM方式の受信信号の周波数帯域は925MHz～960MHzである。DCS方式の送信信号の周波数帯域は1710MHz～1785MHzである。DCS方式の受信信号の周波数帯域は1805MHz～1880MHzである。W-CDMA方式の送信信号の周波数帯域は1920MHz～1990MHzである。W-CDMA方式の受信信号の周波数帯域は2110MHz～2180MHzである。N-CDMA方式の送信信号の周波数帯域は824MHz～849MHzである。N-CDMA方式の受信信号の周波数帯域は869MHz～894MHzである。

【0017】

N-CDMA方式の送信信号および受信信号の周波数帯域は、本発明における第1の周波数帯域に対応する。W-CDMA方式の送信信号および受信信号の周波数帯域は、本発明における第2の周波数帯域に対応する。

【0018】

まず、図1を参照して、本実施の形態に係るフロントエンドモジュールを含む携帯電話の高周波回路の一例について説明する。図1に示した高周波回路は、アンテナ1と、このアンテナ1に接続された本実施の形態に係るフロントエンドモジュール2と、主に信号の変調および復調を行う集積回路3とを備えている。高周波回路は、更に、GSM方式およびDCS方式用の2つの電圧制御発振器4, 5と、W-CDMA方式用の電圧制御発振器6Wと、N-CDMA方式用の電圧制御発振器6Nとを備えている。これらの電圧制御発振器4, 5, 6W, 6Nは集積回路3に接続されている。

【0019】

高周波回路は、更に、入力端がフロントエンドモジュール2に接続され、それぞれ出力端が集積回路3に接続されたバンドパスフィルタ（以下、BPFと記す。）25G、25Dと、入力端がフロントエンドモジュール2に接続されたローノイズアンプ36Wと、入力端がローノイズアンプ36Wの出力端に接続され、出力端が集積回路3に接続されたBPF37Wと、入力端がフロントエンドモジュール2に接続されたローノイズアンプ36Nと、入力端がローノイズアンプ36Nの出力端に接続され、出力端が集積回路3に接続されたBPF37Nとを備えている。BPF25G、25D、37W、37Nは、それぞれ弾性波素子を用いて構成されている。

【0020】

高周波回路は、更に、入力端が集積回路3に接続された電力増幅器（図ではPAと記す。）21Gと、入力端が電力増幅器21Gの出力端に接続されたカプラ22Gと、カプラ22Gの出力に基づいて、電力増幅器21Gの出力利得が一定になるように電力増幅器21Gを制御する自動出力制御回路（図ではAPCと記す。）23Gと、入力端がカプラ22Gの出力端に接続され、出力端がフロントエンドモジュール2に接続されたローパスフィルタ（以下、LPFと記す。）24Gとを備えている。これらは、GSM方式用の回路である。高周波回路は、更に、上記GSM方式用の回路と同様に構成された、DCS方式用の電力増幅器21D、カプラ22D、自動出力制御回路23DおよびLPF24Dを備えている。

【0021】

高周波回路は、更に、入力端が集積回路3に接続されたBPF31Wと、入力端がBPF31Wの出力端に接続された電力増幅器32Wと、入力端が電力増幅器32Wの出力端に接続されたカプラ33Wと、カプラ33Wの出力に基づいて、電力増幅器32Wの出力利得が一定になるように電力増幅器32Wを制御する自動出力制御回路34Wと、入力端がカプラ33Wの出力端に接続され、出力端がフロントエンドモジュール2に接続されたアイソレータ35Wとを備えている。これらは、W-CDMA方式用の回路である。高周波回路は、更に、上記W-

CDMA方式用の回路と同様に構成された、N-CDMA方式用のBPF 31N、電力増幅器 32N、カブラ 33N、自動出力制御回路 34Nおよびアイソレータ 35Nを備えている。BPF 31W, 31Nは弾性波素子を用いて構成されている。

【0022】

次に、フロントエンドモジュール2について詳しく説明する。フロントエンドモジュール2は、ダイプレクサ11と、高周波スイッチ16, 17, 12G, 12Dと、デュプレクサ13W, 13Nとを備えている。ダイプレクサ11は、本発明における第1の分離手段に対応する。デュプレクサ13Nは、本発明における第2の分離手段に対応する。デュプレクサ13Wは、本発明における第3の分離手段に対応する。

【0023】

ダイプレクサ11は、第1ないし第3のポートを有している。第1のポートはアンテナ1に接続されている。第2のポートはN-CDMA方式の信号およびGSM方式の信号を入出力するようになっている。第3のポートはW-CDMA方式の信号およびDCS方式の信号を入出力するようになっている。

【0024】

ダイプレクサ11の第2のポートは、高周波スイッチ17の可動接点に接続されている。高周波スイッチ17の2つの固定接点のうちの一方の固定接点はデュプレクサ13Nに接続されている。高周波スイッチ17の他方の固定接点は、高周波スイッチ12Gの可動接点に接続されている。高周波スイッチ12Gの2つの固定接点のうちの一方の固定接点（符号Rを付した固定接点）はBPF 25Gの入力端に接続されている。高周波スイッチ12Gの他方の固定接点（符号Tを付した固定接点）はLPF 24Gの出力端に接続されている。

【0025】

ダイプレクサ11の第3のポートは、高周波スイッチ16の可動接点に接続されている。高周波スイッチ16の2つの固定接点のうちの一方の固定接点はデュプレクサ13Wに接続されている。高周波スイッチ16の他方の固定接点は、高周波スイッチ12Dの可動接点に接続されている。高周波スイッチ12Dの2つ

の固定接点のうちの一方の固定接点（符号Rを付した固定接点）はB P F 2 5 Dの入力端に接続されている。高周波スイッチ1 2 Dの他方の固定接点（符号Tを付した固定接点）はL P F 2 4 Dの出力端に接続されている。

【0026】

デュプレクサ1 3 Nは、共通端子と受信端子（符号Rを付した端子）と送信端子（符号Tを付した端子）とを有している。デュプレクサ1 3 Nの共通端子は、高周波スイッチ1 7の一方の固定接点に接続されている。デュプレクサ1 3 Nの受信端子は、ローノイズアンプ3 6 Nの入力端に接続されている。デュプレクサ1 3 Nの送信端子は、アイソレータ3 5 Nの出力端に接続されている。

【0027】

デュプレクサ1 3 Wは、共通端子と受信端子（符号Rを付した端子）と送信端子（符号Tを付した端子）とを有している。デュプレクサ1 3 Wの共通端子は、高周波スイッチ1 6の一方の固定接点に接続されている。デュプレクサ1 3 Wの受信端子は、ローノイズアンプ3 6 Wの入力端に接続されている。デュプレクサ1 3 Wの送信端子は、アイソレータ3 5 Wの出力端に接続されている。

【0028】

ダイプレクサ1 1は、信号の周波数に応じて、N－CDMA方式の信号およびGSM方式の信号と、W－CDMA方式の信号およびDCS方式の信号とを分離する。具体的に説明すると、ダイプレクサ1 1は、第2のポートに入力されたN－CDMA方式の送信信号またはGSM方式の送信信号と、第3のポートに入力されたW－CDMA方式の送信信号またはDCS方式の送信信号を第1のポートより出力する。また、ダイプレクサ1 1は、第1のポートに入力されたN－CDMA方式の受信信号またはGSM方式の受信信号を第2のポートより出力し、第1のポートに入力されたW－CDMA方式の受信信号またはDCS方式の受信信号を第3のポートより出力する。

【0029】

高周波スイッチ1 7は、N－CDMA方式の送信信号および受信信号と、GSM方式の送信信号および受信信号とを分離する。具体的に説明すると、高周波スイッチ1 7は、一方の固定接点に入力されたN－CDMA方式の送信信号を可動

接点より出力し、可動接点に入力されたN-CDMA方式の受信信号を一方の固定接点より出力する。また、高周波スイッチ17は、他方の固定接点に入力されたGSM方式の送信信号を可動接点より出力し、可動接点に入力されたGSM方式の受信信号を他方の固定接点より出力する。

【0030】

高周波スイッチ16は、W-CDMA方式の送信信号および受信信号と、DCS方式の送信信号および受信信号とを分離する。具体的に説明すると、高周波スイッチ16は、一方の固定接点に入力されたW-CDMA方式の送信信号を可動接点より出力し、可動接点に入力されたW-CDMA方式の受信信号を一方の固定接点より出力する。また、高周波スイッチ16は、他方の固定接点に入力されたDCS方式の送信信号を可動接点より出力し、可動接点に入力されたDCS方式の受信信号を他方の固定接点より出力する。

【0031】

高周波スイッチ12Gは、GSM方式の送信信号とGSM方式の受信信号とを分離する。具体的に説明すると、高周波スイッチ12Gは、可動接点に入力されたGSM方式の受信信号（図では、GSM/RXと記す。）を一方の固定接点より出力し、他方の固定接点に入力されたGSM方式の送信信号（図では、GSM/TXと記す。）を可動接点より出力する。

【0032】

高周波スイッチ12Dは、DCS方式の送信信号とDCS方式の受信信号とを分離する。具体的に説明すると、高周波スイッチ12Dは、可動接点に入力されたDCS方式の受信信号（図では、DCS/RXと記す。）を一方の固定接点より出力し、他方の固定接点に入力されたDCS方式の送信信号（図では、DCS/TXと記す。）を可動接点より出力する。

【0033】

デュプレクサ13Wは、周波数の違いによって、W-CDMA方式の送信信号とW-CDMA方式の受信信号とを分離する。具体的に説明すると、デュプレクサ13Wは、共通端子に入力されたW-CDMA方式の受信信号（図では、WCDMA/RXと記す。）を受信端子より出力し、送信端子に入力されたW-CD

MA方式の送信信号（図では、WCDMA／TXと記す。）を共通端子より出力する。

【0034】

デュプレクサ13Nは、周波数の違いによって、N－CDMA方式の送信信号とN－CDMA方式の受信信号とを分離する。具体的に説明すると、デュプレクサ13Nは、共通端子に入力されたN－CDMA方式の受信信号（図では、NCDMA／RXと記す。）を受信端子より出力し、送信端子に入力されたN－CDMA方式の送信信号（図では、NCDMA／TXと記す。）を共通端子より出力する。

【0035】

次に、集積回路3について説明する。集積回路3は、I信号とQ信号からなるベースバンドの入力信号を入力すると共に、I信号とQ信号からなるベースバンドの出力信号を出力している。

【0036】

集積回路3は、入力端がBPF25Gの出力端に接続されたミキサ42Gと、入力端がミキサ42Gの出力端に接続された増幅器43Gと、入力端がBPF25Dの出力端に接続されたミキサ42Dと、入力端がミキサ42Dの出力端に接続された増幅器43Dとを備えている。集積回路3は、更に、入力端がBPF37Wの出力端に接続されたミキサ42Wと、入力端がミキサ42Wの出力端に接続された増幅器43Wと、入力端がBPF37Nの出力端に接続されたミキサ42Nと、入力端がミキサ42Nの出力端に接続された増幅器43Nとを備えている。

【0037】

集積回路3は、更に、出力端が電力増幅器21G、21Dの各入力端に接続されたミキサ41と、出力端がBPF31Wの入力端に接続されたミキサ41Wと、出力端がBPF31Nの入力端に接続されたミキサ41Nと備えている。ミキサ42G、42Dは電圧制御発振器5に接続されている。ミキサ42Wは電圧制御発振器6Wに接続されている。ミキサ41は電圧制御発振器4に接続されている。ミキサ41Wは電圧制御発振器6Wに接続されている。ミキサ41Nは電圧

制御発振器 6 N に接続されている。

【 0 0 3 8 】

集積回路 3 は、更に、G S M 方式および D C S 方式用の位相同期化ループ回路（図では G S M / D C S P L L と記す。） 4 4 と、W - C D M A 方式用の位相同期化ループ回路（図では W - C D M A P L L と記す。） 4 5 W と、N - C D M A 方式用の位相同期化ループ回路（図では N - C D M A P L L と記す。） 4 5 N とを備えている。位相同期化ループ回路 4 4 は、電圧制御発振器 4 , 5 に接続されている。位相同期化ループ回路 4 5 W は、電圧制御発振器 6 W に接続されている。位相同期化ループ回路 4 5 N は、電圧制御発振器 6 N に接続されている。

【 0 0 3 9 】

ミキサ 4 2 G は、B P F 2 5 G の出力信号に、電圧制御発振器 5 が出力する高周波信号をミックスして、高周波の受信信号をベースバンド信号に変換するようになっている。ミキサ 4 2 D は、B P F 2 5 D の出力信号に、電圧制御発振器 5 が出力する高周波信号をミックスして、高周波の受信信号をベースバンド信号に変換するようになっている。ミキサ 4 2 W は、B P F 3 7 W の出力信号に、電圧制御発振器 6 W が出力する高周波信号をミックスして、高周波の受信信号をベースバンド信号に変換するようになっている。ミキサ 4 2 N は、B P F 3 7 N の出力信号に、電圧制御発振器 6 N が出力する高周波信号をミックスして、高周波の受信信号をベースバンド信号に変換するようになっている。

【 0 0 4 0 】

ミキサ 4 1 は、集積回路 3 に入力されたベースバンド信号に、電圧制御発振器 4 が出力する高周波信号をミックスして、ベースバンド信号を高周波の送信信号に変換するようになっている。ミキサ 4 1 W は、集積回路 3 に入力されたベースバンド信号に、電圧制御発振器 6 W が出力する高周波信号をミックスして、ベースバンド信号を高周波の送信信号に変換するようになっている。ミキサ 4 1 N は、集積回路 3 C に入力されたベースバンド信号に、電圧制御発振器 6 N が出力する高周波信号をミックスして、ベースバンド信号を高周波の送信信号に変換するようになっている。

【0041】

図示しないが、集積回路3は、更に、入力したI信号とQ信号を直交変調し、変調された信号をミキサ41、41W、41Nに送る機能と、増幅器43G、43D、43W、43Nの出力信号を直交復調してI信号とQ信号とを生成し、これらを出力する機能とを備えている。なお、ミキサ41、41W、41Nが直交変調する機能を兼ね備えていてもよいし、ミキサ42G、42D、42W、42Nが直交復調する機能を兼ね備えていてもよい。

【0042】

高周波スイッチ12Gより出力されるGSM方式の受信信号は、BPF25Gを通過してミキサ42Gに入力されるようになっている。高周波スイッチ12Dより出力されるDCS方式の受信信号は、BPF25Dを通過してミキサ42Dに入力されるようになっている。デュプレクサ13Wより出力されるW-CDMA方式の受信信号は、ローノイズアンプ36WおよびBPF37Wを通過してミキサ42Wに入力されるようになっている。デュプレクサ13Nより出力されるN-CDMA方式の受信信号は、ローノイズアンプ36NおよびBPF37Nを通過してミキサ42Nに入力されるようになっている。

【0043】

ミキサ41の出力信号は、電力増幅器21G、カプラ22GおよびLPF24Gを通過して高周波スイッチ12Gに入力されると共に、電力増幅器21D、カプラ22DおよびLPF24Dを通過して高周波スイッチ12Dに入力されるようになっている。ミキサ41Wの出力信号は、BPF31W、電力増幅器32W、カプラ33Wおよびアイソレータ35Wを通過してデュプレクサ13Wに入力されるようになっている。ミキサ41Nの出力信号は、BPF31N、電力増幅器32N、カプラ33Nおよびアイソレータ35Nを通過してデュプレクサ13Nに入力されるようになっている。

【0044】

次に、図2を参照して、ダイプレクサ11の回路構成の一例について説明する。図2に示したダイプレクサ11は、第1ないし第3のポート111、112、113を有している。第1のポート111はアンテナ1に接続されるようになっ

ている。第2のポート112はGSM方式の信号およびN-CDMA方式の信号を入出力するようになっている。第3のポート113はDCS方式の信号およびW-CDMA方式の信号を入出力するようになっている。ダイプレクサ11は、更に、一端が第1のポート111に接続されたキャパシタ114と、一端がキャパシタ114の他端に接続されたインダクタ115と、一端がインダクタ115の他端に接続され、他端が第2のポート112に接続されたインダクタ116と、一端がインダクタ115の他端に接続され、他端が第2のポート112に接続されたキャパシタ117と、一端がインダクタ115の他端に接続され、他端が接地されたキャパシタ118と、一端が第2のポート112に接続され、他端が接地されたキャパシタ119とを有している。インダクタ115、116およびキャパシタ117、118、119は、GSM方式およびN-CDMA方式のそれぞれの送信信号および受信信号を通過させるLPFを構成している。

【0045】

ダイプレクサ11は、更に、一端がキャパシタ114の他端に接続されたキャパシタ120と、一端がキャパシタ120の他端に接続され、他端が第3のポート113に接続されたキャパシタ121と、一端がキャパシタ120の他端に接続されたキャパシタ122と、一端がキャパシタ122の他端に接続され、他端が接地されたインダクタ123とを有している。キャパシタ120、121、122およびインダクタ123は、DCS方式およびW-CDMA方式のそれぞれの送信信号および受信信号を通過させるハイパスフィルタ（以下、HPFと記す。）を構成している。

【0046】

次に、図3を参照して、高周波スイッチ12Gの回路構成の一例について説明する。図3に示した高周波スイッチ12Gは、可動接点131と、2つの固定接点132、133と、2つの制御端子134、135とを有している。固定接点132は、図1において記号Tを付した固定接点である。固定接点133は、図1において記号Rを付した固定接点である。高周波スイッチ12Gは、更に、一端が可動接点131に接続されたキャパシタ136と、カソードがキャパシタ136の他端に接続されたダイオード137と、一端がダイオード137のアノー

ドに接続され、他端が固定接点 1 3 2 に接続されたキャパシタ 1 3 8 と、一端がダイオード 1 3 7 のアノードに接続され、他端が制御端子 1 3 4 に接続されたインダクタ 1 3 9 と、一端が制御端子 1 3 4 に接続され、他端が接地されたキャパシタ 1 4 0 とを有している。

【0047】

高周波スイッチ 1 2 G は、更に、一端がキャパシタ 1 3 6 の他端に接続されたインダクタ 1 4 1 と、一端がインダクタ 1 4 1 の他端に接続され、他端が固定接点 1 3 3 に接続されたキャパシタ 1 4 2 と、アノードがインダクタ 1 4 1 の他端に接続され、カソードが制御端子 1 3 5 に接続されたダイオード 1 4 3 と、一端が制御端子 1 3 5 に接続され、他端が接地されたキャパシタ 1 4 4 とを有している。

【0048】

高周波スイッチ 1 2 G では、制御端子 1 3 4 に印加される制御信号がハイレベルで、制御端子 1 3 5 に印加される制御信号がローレベルのときには、2つのダイオード 1 3 7, 1 4 3 が共にオン状態となり、可動接点 1 3 1 に固定接点 1 3 2 が接続される。一方、制御端子 1 3 4 に印加される制御信号がローレベルで、制御端子 1 3 5 に印加される制御信号がハイレベルのときには、2つのダイオード 1 3 7, 1 4 3 が共にオフ状態となり、可動接点 1 3 1 に固定接点 1 3 3 が接続される。

【0049】

なお、図 1 における高周波スイッチ 1 2 D, 1 6, 1 7 の構成は、高周波スイッチ 1 2 G と同様である。

【0050】

次に、図 4 を参照して、デュプレクサ 1 3 W の回路構成の一例について説明する。図 4 に示したデュプレクサ 1 3 W は、共通端子 1 5 1 と受信端子 1 5 2 と送信端子 1 5 3 とを有している。デュプレクサ 1 3 W は、更に、一端が共通端子 1 5 1 に接続された受信側ディレーライン 1 5 4 と、入力端が受信側ディレーライン 1 5 4 の他端に接続され、出力端が受信端子 1 5 2 に接続された受信側 B P F 1 5 5 とを有している。デュプレクサ 1 3 W は、更に、一端が共通端子 1 5 1 に

接続された送信側ディレーライン 1 5 6 と、出力端が送信側ディレーライン 1 5 6 の他端に接続され、入力端が送信端子 1 5 3 に接続された送信側 B P F 1 5 7 とを有している。B P F 1 5 5, 1 5 7 は、いずれも弾性波素子を用いて構成されている。

【0 0 5 1】

受信側ディレーライン 1 5 4 は、受信端子 1 5 2 側からデュプレクサ 1 3 W を見たときに、受信信号の周波数帯域ではインピーダンスがほぼ $50\ \Omega$ となり、送信信号の周波数帯域ではインピーダンスが十分に大きくなるように、共通端子 1 5 1 と受信側 B P F 1 5 5 との間に挿入される。同様に、送信側ディレーライン 1 5 6 は、送信端子 1 5 3 側からデュプレクサ 1 3 W を見たときに、送信信号の周波数帯域ではインピーダンスがほぼ $50\ \Omega$ となり、受信信号の周波数帯域ではインピーダンスが十分に大きくなるように、共通端子 1 5 1 と送信側 B P F 1 5 7 との間に挿入される。なお、B P F 1 5 5, 1 5 7 の構成によっては、受信側ディレーライン 1 5 4 と送信側ディレーライン 1 5 6 の一方のみを設ければよい場合もある。

【0 0 5 2】

なお、図 4 に示したデュプレクサ 1 3 W における共通端子 1 5 1、受信端子 1 5 2、送信端子 1 5 3 と、それらに接続される外部の回路との間に、それぞれ、デュプレクサ 1 3 W と外部の回路とのインピーダンス整合を行う整合回路を設けてもよい。図 5 は、デュプレクサ 1 3 W およびそれに接続される整合回路の回路構成の一例を示す回路図である。図 5 に示した例におけるデュプレクサ 1 3 W の構成は、図 4 に示したデュプレクサ 1 3 W の構成と同様である。図 5 に示した例では、共通端子 1 5 1 に整合回路 2 0 1 が接続され、受信端子 1 5 2 に整合回路 2 0 2 が接続され、送信端子 1 5 3 に整合回路 2 0 3 が接続されている。これらの整合回路 2 0 1, 2 0 2, 2 0 3 は、フロントエンドモジュール 2 に含まれている。

【0 0 5 3】

整合回路 2 0 1 は、2 つの端子 2 0 4, 2 0 5 と、一端が端子 2 0 4 に接続されたインダクタ 2 0 6 と、一端がインダクタ 2 0 6 の他端に接続され、他端が端

子 2 0 5 に接続されたインダクタ 2 0 7 と、一端がインダクタ 2 0 6 の他端に接続され、他端が接地されたキャパシタ 2 0 8 とを有している。端子 2 0 4 は、図 1 における高周波スイッチ 1 6 の一方の固定接点に接続されている。端子 2 0 5 は、デュプレクサ 1 3 W の共通端子 1 5 1 に接続されている。

【 0 0 5 4 】

整合回路 2 0 2 は、2 つの端子 2 1 1, 2 1 2 と、この端子 2 1 1, 2 1 2 の間に接続されたキャパシタ 2 1 3 とを有している。端子 2 1 1 は、デュプレクサ 1 3 W の受信端子 1 5 2 に接続されている。端子 2 1 2 は、図 1 におけるローノイズアンプ 3 6 W の入力端に接続されている。

【 0 0 5 5 】

整合回路 2 0 3 は、2 つの端子 2 1 5, 2 1 6 と、一端が端子 2 1 5 に接続されたインダクタ 2 1 7 と、一端がインダクタ 2 1 7 の他端に接続され、他端が端子 2 1 6 に接続されたキャパシタ 2 1 8 と、一端がキャパシタ 2 1 8 の他端に接続され、他端が接地されたキャパシタ 2 1 9 とを有している。端子 2 1 5 は、デュプレクサ 1 3 W の送信端子 1 5 3 に接続されている。端子 2 1 6 は、図 1 におけるアイソレータ 3 5 W の出力端に接続されている。

【 0 0 5 6 】

なお、図 1 におけるデュプレクサ 1 3 N およびそれに接続される整合回路の回路構成は、デュプレクサ 1 3 W およびそれに接続される整合回路の回路構成と同様である。

【 0 0 5 7 】

次に、図 6 を参照して、L P F 2 4 G の回路構成の一例について説明する。図 6 に示した L P F 2 4 G は、入力端子 1 6 1 と出力端子 1 6 2 とを有している。L P F 2 4 G は、更に、一端が入力端子 1 6 1 に接続され、他端が接地されたキャパシタ 1 6 3 と、一端が入力端子 1 6 1 に接続されたインダクタ 1 6 4 と、一端が入力端子 1 6 1 に接続され、他端がインダクタ 1 6 4 の他端に接続されたキャパシタ 1 6 5 と、一端がインダクタ 1 6 4 の他端に接続され、他端が接地されたキャパシタ 1 6 6 とを有している。L P F 2 4 G は、更に、一端がインダクタ 1 6 4 の他端に接続され、他端が出力端子 1 6 2 に接続されたインダクタ 1 6 7

と、一端がインダクタ 1 6 4 の他端に接続され、他端が出力端子 1 6 2 に接続されたキャパシタ 1 6 8 と、一端が出力端子 1 6 2 に接続され、他端が接地されたキャパシタ 1 6 9 とを有している。なお、図 1 における L P F 2 4 D の回路構成は、L P F 2 4 G と同様である。

【0058】

次に、図 7 を参照して、カプラ 2 2 G の回路構成の一例について説明する。図 7 に示したカプラ 2 2 G は、入力端子 1 7 1 と、出力端子 1 7 2 と、モニタ端子 1 7 3 と、負荷接続端子 1 7 4 とを有している。カプラ 2 2 G は、更に、一端が入力端子 1 7 1 に接続され、他端がモニタ端子 1 7 3 に接続されたキャパシタ 1 7 1 と、一端が入力端子 1 7 1 に接続され、他端が出力端子 1 7 2 に接続されたインダクタ 1 7 6 と、一端がモニタ端子 1 7 3 に接続され、他端が負荷接続端子 1 7 4 に接続されたインダクタ 1 7 7 と、一端が出力端子 1 7 2 に接続され、他端が負荷接続端子 1 7 4 に接続されたキャパシタ 1 7 8 とを有している。モニタ端子 1 7 3 は、自動出力制御回路 2 3 G の入力端に接続されるようになっている。負荷接続端子 1 7 4 は、50 Ω の負荷を介して接地されるようになっている。なお、図 1 におけるカプラ 2 2 D, 3 3 W, 3 3 N の回路構成は、カプラ 2 2 G と同様である。

【0059】

次に、図 8 を参照して、電力増幅器 2 1 G の回路構成の一例について説明する。図 8 に示した電力増幅器 2 1 G は、入力端子 1 8 1 と、出力端子 1 8 2 と、電源端子 1 8 3 と、接地端子 1 8 4 とを有している。電源端子 1 8 3 には、電源電圧が印加されるようになっている。

【0060】

電力増幅器 2 1 G は、更に、増幅器として機能するモノリシック・マイクロウェーブ集積回路（以下、MMIC と記す。）1 8 5 を有している。MMIC 1 8 5 の接地端は接地端子 1 8 4 に接続されている。電力増幅器 2 1 G は、更に、一端が入力端子 1 8 1 に接続され、他端が MMIC 1 8 5 の入力端に接続されたキャパシタ 1 8 6 と、一端がキャパシタ 1 8 6 の他端に接続され、他端が接地端子 1 8 4 に接続されたインダクタ 1 8 7 とを有している。キャパシタ 1 8 6 および

インダクタ 187 は、入力整合回路 195 を構成している。

【0061】

電力増幅器 21G は、更に、一端が MMIC 185 の出力端に接続されたキャパシタ 188 と、一端がキャパシタ 188 の他端に接続され、他端が出力端子 182 に接続されたキャパシタ 189 と、一端がキャパシタ 188 の他端に接続され、他端が接地端子 184 に接続されたインダクタ 190 と、一端が出力端子 182 に接続され、他端が接地端子 184 に接続されたインダクタ 191 とを有している。キャパシタ 188, 189 およびインダクタ 190, 191 は、出力整合回路 196 を構成している。

【0062】

電力増幅器 21G は、更に、それぞれ一端が電源端子 183 に接続され、他端が接地端子 184 に接続されたキャパシタ 192, 193 と、一端が電源端子 183 に接続され、他端が MMIC 185 の電源入力端に接続されたチョークコイル 194 とを有している。なお、図 1 における電力増幅器 21D, 32W, 32N の回路構成は、電力増幅器 21G と同様である。

【0063】

次に、フロントエンドモジュール 2 の構造について説明する。フロントエンドモジュール 2 は、ダイプレクサ 11、高周波スイッチ 16, 17, 12G, 12D およびデュプレクサ 13W, 13N を集積するための 1 つの集積用多層基板を備えている。集積用多層基板は、誘電体層と、パターン化された導体層とが交互に積層された構造になっている。フロントエンドモジュール 2 の回路は、集積用多層基板の内部または表面上の導体層と、集積用多層基板に搭載された素子とによって構成されている。特に、ダイプレクサ 11 は、集積用多層基板の内部または表面上の導体層を用いて構成されている。

【0064】

次に、図 9 ないし図 11 を参照して、本実施の形態におけるデュプレクサ 13W, 13N の構造の 3 つの例について順に説明する。なお、ここでは、弾性波素子として弾性表面波素子を用いた場合の例について説明するが、弾性表面波素子の代わりにバルク弾性波素子を用いてもよい。弾性表面波素子が圧電体の表面を

伝播する音波（弾性表面波）を利用しているのに対し、バルク弾性波素子は、圧電体内部（バルク弾性波）を伝播する音波を利用するものである。このバルク弾性波素子のうち、特に圧電体薄膜を用いて作製されたものを薄膜バルク波素子と呼び、特に圧電体薄膜を用いて作製された共振器を薄膜バルク波共振器（Film Bulk Acoustic Resonator：FBAR）と呼ぶ。上記弾性波素子としては、上記薄膜バルク波素子を用いてもよい。この薄膜バルク波素子は、弾性表面波素子に比べて温度特性が良好である。一般に、弾性表面波素子の温度特性が $40\text{ ppm}/^{\circ}\text{C}$ 程度であるのに対し、薄膜バルク波素子の温度特性は $20\text{ ppm}/^{\circ}\text{C}$ 程度である。従って、薄膜バルク波素子は、フィルタに要求される急峻な周波数特性を実現するのに有利である。

【0065】

図9は、デュプレクサ13W、13Nの構造の第1の例を示す断面図である。第1の例では、デュプレクサ13W、13Nは、図4における受信側BPF155に用いられる弾性表面波素子を含むチップ51と、図4における送信側BPF157に用いられる弾性表面波素子を含むチップ52と、これら2つのチップ51、52が実装された実装基板53と、チップ51、52を封止するキャップ54とを有している。実装基板53は、例えば、誘電体層の材料としてセラミックを用いたセラミック多層基板になっている。実装基板53は、弾性表面波素子以外のデュプレクサ13Wまたはデュプレクサ13Nの構成部分を含んでいる。例えば、デュプレクサ13W、13Nの受信側ディレーライン154および送信側ディレーライン156は、実装基板53の内部または表面上の導体層を用いて構成されている。また、デュプレクサ13W、13Nの共通端子151、受信端子152および送信端子153は、実装基板53の下面に配置されている。

【0066】

チップ51、52は、 LiTaO_3 等の圧電材料からなる圧電基板と、この圧電基板の一方の面に形成された櫛形電極と、この櫛形電極を外部の回路に接続するための接続電極55とを有している。図9に示した例では、接続電極55は、櫛形電極と同一面上に配置されている。また、この例では、チップ51、52は、櫛形電極が実装基板53の上面に対向するように、フリップチップボンディング

グによって、実装基板 5 3 に実装されている。なお、チップ 5 1, 5 2 が実装基板 5 3 に実装された状態で、櫛形電極と実装基板 5 3 の上面との間に空間が形成されるようになっている。

【0067】

第 1 の例では、上記の構成のデュプレクサ 1 3 W, 1 3 N は、フロントエンドモジュール 2 の集積用多層基板 2 0 に搭載されている。集積用多層基板 2 0 は、例えば低温焼成セラミック多層基板になっている。集積用多層基板 2 0 は、デュプレクサ 1 3 W, 1 3 N 以外のフロントエンドモジュール 2 の回路を含んでいる。

【0068】

図 9 には、第 1 の例におけるフロントエンドモジュール 2 の厚さの一例が示されている。この例では、デュプレクサ 1 3 W, 1 3 N の実装基板 5 3 の厚さが 0.5 mm、デュプレクサ 1 3 W, 1 3 N の実装基板 5 3 の上面からキャップ 5 4 の上面までの部分の厚さが 0.5 mm、集積用多層基板 2 0 の厚さが 0.8 mm となっている。従って、この例では、フロントエンドモジュール 2 の厚さは、1.8 mm 以上となる。

【0069】

図 10 は、デュプレクサ 1 3 W, 1 3 N の構造の第 2 の例を示す断面図である。第 2 の例では、デュプレクサ 1 3 W, 1 3 N は、第 1 の例と同様のチップ 5 1, 5 2 を有している。しかし、第 2 の例では実装基板 5 3 は設けられておらず、チップ 5 1, 5 2 は、フロントエンドモジュール 2 の集積用多層基板 2 0 に、直接搭載されている。チップ 5 1, 5 2 は、例えば、櫛形電極が集積用多層基板 2 0 の上面に対向するように、フリップチップボンディングによって、集積用多層基板 2 0 に実装されている。なお、チップ 5 1, 5 2 が集積用多層基板 2 0 に実装された状態で、櫛形電極と集積用多層基板 2 0 の上面との間に空間が形成されるようになっている。また、チップ 5 1, 5 2 は、キャップ 5 4 によって封止されている。

【0070】

第 2 の例では、弾性表面波素子以外のデュプレクサ 1 3 W, 1 3 N の構成部分

は、集積用多層基板20に含まれている。例えば、デュプレクサ13W, 13Nの受信側ディレーライン154および送信側ディレーライン156は、集積用多層基板20の内部または表面上の導体層を用いて構成されている。また、デュプレクサ13W, 13Nの共通端子151、受信端子152および送信端子153は、集積用多層基板20の下面に配置されている。また、集積用多層基板20は、デュプレクサ13W, 13N以外のフロントエンドモジュール2の回路を含んでいる。

【0071】

図10には、第2の例におけるフロントエンドモジュール2の厚さの一例が示されている。この例では、集積用多層基板20の上面からデュプレクサ13W, 13Nのキャップ54の上面までの部分の厚さが0.5mm、集積用多層基板20の厚さが0.8mmとなっている。従って、この例では、フロントエンドモジュール2の厚さは、1.3mm以上となる。

【0072】

図11は、デュプレクサ13W, 13Nの構造の第3の例を示す断面図である。第3の例では、デュプレクサ13W, 13Nは、第1の例と同様のチップ51, 52と、これらのチップ51, 52が実装された1つまたは2つの実装基板56と、チップ51, 52を封止するキャップ54とを有している。なお、図11には、2つのチップ51, 52を1つの実装基板56に実装した例を示しているが、チップ51, 52を、それぞれ別個の実装基板56に実装してもよい。

【0073】

実装基板56は、単層の誘電体層と、この誘電体層の上面および下面に設けられた、パターン化された導体層と、誘電体層の側面に設けられ、誘電体層の上面に設けられた導体層と下面に設けられた導体層とを接続する導体部とを有している。チップ51, 52は、例えば、櫛形電極が実装基板56の上面に対向するように、フリップチップボンディングによって、実装基板56に実装されている。なお、チップ51, 52が実装基板56に実装された状態で、櫛形電極と実装基板56の上面との間に空間が形成されるようになっている。

【0074】

チップ５１，５２および実装基板５６は、フロントエンドモジュール２の集積用多層基板２０に搭載されている。第３の例では、弾性表面波素子以外のデュプレクサ１３Ｗ，１３Ｎの構成部分は、集積用多層基板２０に含まれている。例えば、デュプレクサ１３Ｗ，１３Ｎの受信側ディレーライン１５４および送信側ディレーライン１５６は、集積用多層基板２０の内部または表面上の導体層を用いて構成されている。また、デュプレクサ１３Ｗ，１３Ｎの共通端子１５１、受信端子１５２および送信端子１５３は、集積用多層基板２０の下面に配置されている。また、集積用多層基板２０は、デュプレクサ１３Ｗ，１３Ｎ以外のフロントエンドモジュール２の回路を含んでいる。

【００７５】

図１１には、第３の例におけるフロントエンドモジュール２の厚さの一例が示されている。この例では、集積用多層基板２０の上面からデュプレクサ１３Ｗ，１３Ｎのキャップ５４の上面までの部分の厚さが０．７ｍｍ、集積用多層基板２０の厚さが０．８ｍｍとなっている。従って、この例では、フロントエンドモジュール２の厚さは、１．５ｍｍ以上となる。

【００７６】

以上説明したように、本実施の形態に係るフロントエンドモジュール２では、ダイプレクサ１１と、高周波スイッチ１６，１７，１２Ｇ，１２Ｄと、２つの弾性波素子を含むデュプレクサ１３Ｗと、２つの弾性波素子を含むデュプレクサ１３Ｎとを、１つの集積用多層基板２０によって集積している。ダイプレクサ１１は、集積用多層基板２０の内部または表面上の導体層を用いて構成されている。弾性波素子を含むデュプレクサ１３Ｗ，１３Ｎは、同軸誘電体形のデュプレクサに比べて、小型および軽量であると共に、複合化および集積化が容易である。従って、本実施の形態によれば、２種類の時分割多重接続方式（ＧＳＭ方式とＤＣＳ方式）と２種類の符号分割多重接続方式（Ｗ－ＣＤＭＡ方式とＮ－ＣＤＭＡ方式）とに対応可能で、且つ、小型軽量化、複合化および集積化が容易なフロントエンドモジュール２を実現することができる。

【００７７】

また、本実施の形態によれば、弾性波素子を含むデュプレクサ１３Ｗ，１３Ｎ

を、ダイプレクサ11および高周波スイッチ12G, 12D, 16, 17と一体化することにより、デュプレクサ13W, 13Nとその周辺回路とのインピーダンス整合を最適化することが可能になる。従って、本実施の形態によれば、フロントエンドモジュール2の性能を向上させることも可能になる。

【0078】

ところで、デュプレクサ13W, 13Nでは、共通端子151、受信端子152、送信端子153の各インピーダンスは、通過帯域内の周波数に対しては、挿入損失が最小になるよう50Ωに設定され、阻止帯域内の周波数に対しては、減衰が大きくなるように大きな値に設定される。そのため、弾性波素子と、弾性波素子以外の構成部分（ディレーライン154, 156や整合回路）とを含むデュプレクサ13W, 13N全体で、特性を最適化する必要がある。

【0079】

図9に示したデュプレクサ13W, 13Nの構造の第1の例では、それぞれ弾性波素子を含むチップ51, 52と、弾性波素子以外のデュプレクサ13W, 13Nの構成部分を含む実装基板53とが一体化されている。そのため、第1の例では、デュプレクサ13W, 13Nを、フロントエンドモジュール2における他の構成要素から独立した状態で製造することができる。従って、第1の例では、特性が最適化された状態のデュプレクサ13W, 13Nを、集積用多層基板20に搭載することができる。しかし、第1の例では、フロントエンドモジュール2の厚さが大きくなってしまうという不具合がある。

【0080】

図10に示したデュプレクサ13W, 13Nの構造の第2の例では、弾性波素子以外のデュプレクサ13W, 13Nの構成部分は集積用多層基板20に設けられ、それぞれ弾性波素子を含むチップ51, 52は集積用多層基板20に搭載されている。この第2の例によれば、フロントエンドモジュール2の厚さを小さくすることができる。また、第2の例によれば、デュプレクサ13W, 13N全体で特性が最適になるように、チップ51, 52の特性と、集積用多層基板20に設けられた、弾性波素子以外のデュプレクサ13W, 13Nの構成部分の特性とを設計し、設計通りのチップ51, 52および集積用多層基板20を使用するこ

とによって、デュプレクサ 1 3 W, 1 3 N 全体の特性を最適化することが可能になる。

【0081】

ところで、ベアチップの状態であるチップ 5 1, 5 2 の特性を測定するにはプローブを用いる必要がある。しかし、プローブ自体が高周波特性を持つため、チップ 5 1, 5 2 の高周波特性を正確に測定することは難しい。そのため、ある割合で不良品のチップ 5 1, 5 2 が集積用多層基板 2 0 に搭載されるという不具合がある。不良品のチップ 5 1, 5 2 が集積用多層基板 2 0 に搭載されると、デュプレクサ 1 3 W, 1 3 N 以外のフロントエンドモジュール 2 の構成部分の特性が良好であっても、フロントエンドモジュール 2 全体が不良品になってしまう。そのため、第 2 の例では、フロントエンドモジュール 2 の歩留まりが低くなるという不具合がある。

【0082】

図 1 1 に示したデュプレクサ 1 3 W, 1 3 N の構造の第 3 の例では、それぞれ弾性波素子を含むチップ 5 1, 5 2 は実装基板 5 6 に実装されている。従って、チップ 5 1, 5 2 および実装基板 5 6 は、パッケージ化された 1 つの部品を構成している。また、第 3 の例では、弾性波素子以外のデュプレクサ 1 3 W, 1 3 N の構成部分は集積用多層基板 2 0 に設けられ、チップ 5 1, 5 2 および実装基板 5 6 は、集積用多層基板 2 0 に搭載されている。チップ 5 1, 5 2 および実装基板 5 6 によって構成された部品については、プローブを用いることなく、通常の部品を測定するための治具を用いて正確に特性を測定することができる。従って、第 3 の例によれば、良品のチップ 5 1, 5 2 および実装基板 5 6 のみを集積用多層基板 2 0 に搭載することができ、その結果、フロントエンドモジュール 2 の歩留まりを向上させることができる。また、第 3 の例によれば、実装基板 5 6 は薄くてもよいため、フロントエンドモジュール 2 の厚さを小さくすることもできる。

【0083】

また、上記第 2 の例および第 3 の例では、デュプレクサ 1 3 W, 1 3 N における B P F に用いられる弾性表面波素子を含むチップ 5 1, 5 2 は集積用多層基板

20の上面に実装され、弾性表面波素子以外のデュプレクサ13W, 13Nの回路部分の少なくとも一部は集積用多層基板20の内部または表面上の導体層を用いて構成されている。これにより、フロントエンドモジュール2をより小型軽量化することが可能になる。

【0084】

以下、本実施の形態に係るフロントエンドモジュール2の3つの変形例について説明する。

【0085】

図12は、第1の変形例のフロントエンドモジュール2を含む携帯電話の高周波回路を示すブロック図である。第1の変形例のフロントエンドモジュール2は、図1に示したフロントエンドモジュール2の構成要素に加え、GSM方式の送信信号を通過させるカプラ22GおよびLPF24Gと、DCS方式の送信信号を通過させるカプラ22DおよびLPF24Dと、GSM方式の受信信号を通過させるBPF25Gと、DCS方式の受信信号を通過させるBPF25Dと、W-CDMA方式の受信信号を通過させるBPF37Wと、N-CDMA方式の受信信号を通過させるBPF37Nとを備えている。また、第1の変形例では、集積用多層基板20は、図1に示したフロントエンドモジュール2の構成要素に加え、新たに加えられた上記の各構成要素も集積している。

【0086】

第1の変形例のフロントエンドモジュール2のその他の構成は、図1に示したフロントエンドモジュール2と同様である。第1の変形例によれば、フロントエンドモジュール2に新たに加えられた上記の各構成要素も含めて、フロントエンドモジュール2全体の特性の最適化を図ることができる。

【0087】

図13は、第2の変形例のフロントエンドモジュール2を含む携帯電話の高周波回路を示すブロック図である。第2の変形例のフロントエンドモジュール2は、図1に示したフロントエンドモジュール2の構成要素に加え、電力増幅器21G, 21D、カプラ22G, 22D、自動出力制御回路23G, 23D、LPF24G, 24D、BPF25G, 25D、BPF31W, 31N、電力増幅器3

2W, 32N、カプラ33W, 33N、自動出力制御回路34W, 34N、アイソレータ35W, 35N、ローノイズアンプ36W, 36NおよびBPF37W, 37Nを備えている。また、第2の変形例では、集積用多層基板20は、図1に示したフロントエンドモジュール2の構成要素に加え、新たに加えられた上記の各構成要素も集積している。

【0088】

第2の変形例のフロントエンドモジュール2のその他の構成は、図1に示したフロントエンドモジュール2と同様である。第2の変形例によれば、フロントエンドモジュール2に新たに加えられた上記の各構成要素も含めて、フロントエンドモジュール2全体の特性の最適化を図ることができる。

【0089】

図14は、第2の変形例のフロントエンドモジュール2における電力増幅器21Gの配置の一例を示す断面図である。この例では、電力増幅器21GのMMIC185は集積用多層基板20に搭載されている。電力増幅器21Gの入力整合回路195および出力整合回路196は、集積用多層基板20の内部または表面上の導体層を用いて構成されている。図示しないが、電力増幅器21Gのキャパシタ192, 193およびチョークコイル194は集積用多層基板20に搭載されている。また、集積用多層基板20におけるMMIC185が搭載される面とは反対側の面には、MMIC185が発生する熱を放散させるための導体層197が形成されている。集積用多層基板20には、更に、MMIC185が発生する熱を導体層197に導くためにMMIC185の下面と導体層197を接続する複数のビアホール198が形成されている。なお、電力増幅器21D, 32W, 32Nの配置も、電力増幅器21Gと同様である。

【0090】

次に、図15および図16を参照して、第3の変形例について説明する。第3の変形例のフロントエンドモジュール2は、図1、図12または図13に示したフロントエンドモジュール2において、更にアンテナ1を備えたものである。第3の変形例では、集積用多層基板20は、図1、図12または図13に示したフロントエンドモジュール2の構成要素に加え、アンテナ1も集積する。

【００９１】

以下、第３の変形例におけるアンテナ１の構造の２つの例について説明する。携帯電話に用いられるアンテナとしては、各種の形式および構造のものが知られているが、ここでは、アンテナ１としてパッチアンテナを用いるものとする。

【００９２】

図１５は、アンテナ１の構造の第１の例を示す斜視図である。第１の例では、アンテナ１は、集積用多層基板２０とは別個に製造され、例えば半田付けによって集積用多層基板２０に搭載されている。第１の例におけるアンテナ１は、誘電体よりなる直方体形状の誘電体部８１と、この誘電体部８１の上面に設けられた電極８２と、誘電体部８１の底面に設けられ、接地面を形成する導体層８３と、誘電体部８１の側部に設けられた給電用導体部８４と備えている。電極８２および導体層８３は、それぞれ矩形の平板状になっている。給電用導体部８４の上端部は、電極８２の側部に対して、所定の間隔を開けて対向している。集積用多層基板２０の上面には、給電用導体部８４の下端部に接続される導体層８５が設けられている。

【００９３】

図１６は、アンテナ１の構造の第２の例を示す斜視図である。第２の例では、アンテナ１は、集積用多層基板２０に組み込まれている。第２の例におけるアンテナ１は、集積用多層基板２０の上面に設けられた電極９２と、集積用多層基板２０の内部において電極９２に対向する位置に配置され、接地面を形成する導体層９３と、集積用多層基板２０の側部に設けられた給電用導体部９４と備えている。電極９２および導体層９３は、それぞれ矩形の平板状になっている。給電用導体部９４の上端部は、電極９２の側部に対して、所定の間隔を開けて対向している。また、集積用多層基板２０の内部において、導体層９３よりも下の位置には、給電用導体部９４の下端部に接続される導体層９５が設けられている。

【００９４】

第３の変形例によれば、アンテナ１も含めて、フロントエンドモジュール２全体の特性の最適化を図ることができる。

【００９５】

なお、本実施の形態において、高周波スイッチ 12G, 12Dの代わりに、それぞれデュプレクサを用いてもよい。

【0096】

[第2の実施の形態]

次に、本発明の第2の実施の形態に係るフロントエンドモジュールについて説明する。本実施の形態に係るフロントエンドモジュールは、AMP S (Advanced Mobile Phone System) で用いられる周波数帯域（以下、AMP S帯域と記す。）における送信信号および受信信号と、PCS (Personal Communications Service) で用いられる周波数帯域（以下、PCS帯域と記す。）における送信信号および受信信号と、GPS (Global Positioning System) における受信信号とを処理するためのモジュールである。GPSにおける受信信号は、位置検出機能のための信号である。AMP S帯域は本発明における第1の周波数帯域に対応し、PCS帯域は本発明における第2の周波数帯域に対応する。また、本実施の形態において、AMP S帯域における送信信号および受信信号と、PCS帯域における送信信号および受信信号は、いずれも符号分割多重接続方式の信号である。

【0097】

図18は、上記各送信信号および受信信号の周波数帯域を示している。図18において、記号TXは送信信号を表し、記号RXは受信信号を表している。AMP S帯域における送信信号の周波数帯域は、824MHz～849MHzである。AMP S帯域における受信信号の周波数帯域は、869MHz～894MHzである。PCS帯域における送信信号の周波数帯域は、1850MHz～1910MHzである。PCS帯域における受信信号の周波数帯域は、1930MHz～1990MHzである。GPSにおける受信信号の周波数帯域（以下、GPS帯域と記す。）は、1574MHz～1576MHzである。

【0098】

まず、図17を参照して、本実施の形態に係るフロントエンドモジュールを含む携帯電話の高周波回路の一例について説明する。図17に示した高周波回路は、2つのアンテナ301A, 301Bと、これらのアンテナ301A, 301Bに接続されたフロントエンドモジュール302とを備えている。アンテナ301

Aは、AMP S帯域およびPCS帯域における信号の送信および受信に用いられる。アンテナ301Bは、GPSにおける受信信号の受信に用いられる。

【0099】

図17に示した高周波回路は、更に、主にAMP S帯域およびPCS帯域における信号の変調および復調を行う集積回路303Aと、主にGPSにおける受信信号の復調を行う集積回路303Bとを備えている。高周波回路は、更に、それぞれ入力端がフロントエンドモジュール302に接続され、出力端が集積回路303Aに接続された2つのローノイズアンプ304A、304Pと、入力端がフロントエンドモジュール302に接続され、出力端が集積回路303Bに接続されたローノイズアンプ304Gとを備えている。高周波回路は、更に、それぞれ入力端が集積回路303Aに接続された2つの電力増幅器305A、305Pと、入力端が電力増幅器305Aの出力端に接続され、出力端がフロントエンドモジュール302に接続されたアイソレータ306Aと、入力端が電力増幅器305Pの出力端に接続され、出力端がフロントエンドモジュール302に接続されたアイソレータ306Pとを備えている。

【0100】

フロントエンドモジュール302は、ダイプレクサ310と、2つのデュプレクサ312、313と、BPF314とを備えている。ダイプレクサ310は、本発明における第1の分離手段に対応する。デュプレクサ312は、本発明における第2の分離手段に対応する。デュプレクサ313は、本発明における第3の分離手段に対応する。

【0101】

ダイプレクサ310は、第1ないし第3のポートを有している。第1のポートはアンテナ301Aに接続されている。第2のポートはデュプレクサ312に接続されている。第3のポートはデュプレクサ313に接続されている。ダイプレクサ310は、AMP S帯域とPCS帯域とを分離する。すなわち、ダイプレクサ310は、第2のポートに入力されたAMP S帯域における送信信号を第1のポートより出力すると共に、第1のポートに入力されたAMP S帯域における受信信号を第2のポートより出力する。また、ダイプレクサ310は、第3のポ

トに入力されたPCS帯域における送信信号を第1のポートより出力すると共に、第1のポートに入力されたPCS帯域における受信信号を第3のポートより出力する。

【0102】

デュプレクサ312は、共通端子と送信端子と受信端子とを有している。共通端子はダイプレクサ310の第2のポートに接続されている。送信端子はアイソレータ306Aの出力端に接続されている。受信端子はローノイズアンプ304Aの入力端に接続されている。デュプレクサ312は、AMPS帯域における送信信号（図では、AMPS/TXと記す。）と受信信号（図では、AMPS/RXと記す。）とを分離する。すなわち、デュプレクサ312は、送信端子に入力されたAMPS帯域における送信信号を共通端子より出力すると共に、共通端子に入力されたAMPS帯域における受信信号を受信端子より出力する。

【0103】

デュプレクサ313は、共通端子と送信端子と受信端子とを有している。共通端子はダイプレクサ310の第3のポートに接続されている。送信端子はアイソレータ306Pの出力端に接続されている。受信端子はローノイズアンプ304Pの入力端に接続されている。デュプレクサ313は、PCS帯域における送信信号（図では、PCS/TXと記す。）と受信信号（図では、PCS/RXと記す。）とを分離する。すなわち、デュプレクサ313は、送信端子に入力されたPCS帯域における送信信号を共通端子より出力すると共に、共通端子に入力されたPCS帯域における受信信号を受信端子より出力する。

【0104】

BPF314の入力端はアンテナ301Bに接続され、BPF314の出力端はローノイズアンプ304Gの入力端に接続されている。BPF314は、アンテナ301Bによって受信したGPSにおける受信信号（図では、GPS/RXと記す。）を選択的に通過させる。

【0105】

次に、図19を参照して、ダイプレクサ310の構成について説明する。ダイプレクサ310は、第1ないし第3のポート321～323と、LPF324と

、HPF 325とを有している。LPF 324およびHPF 325の各一端は第1のポート321に接続されている。LPF 324の他端は第2のポート322に接続されている。HPF 325の他端は第3のポート323に接続されている。

【0106】

図20は、LPF 324の特性、すなわち周波数と利得との関係を模式的に表している。図20に示したように、LPF 324は、AMP S帯域内の周波数の信号を通過させ、PCS帯域内の周波数の信号を遮断する。なお、LPF 324の代わりに、AMP S帯域内の周波数の信号を通過させ、PCS帯域内の周波数の信号を遮断する高域除去型のノッチフィルタを用いてもよい。

【0107】

図21は、HPF 325の特性、すなわち周波数と利得との関係を模式的に表している。図21に示したように、HPF 325は、PCS帯域内の周波数の信号を通過させ、AMP S帯域内の周波数の信号を遮断する。なお、HPF 325の代わりに、PCS帯域内の周波数の信号を通過させ、AMP S帯域内の周波数の信号を遮断する低域除去型のノッチフィルタを用いてもよい。

【0108】

図22は、図17におけるBPF 314の特性、すなわち周波数と利得との関係を模式的に表している。図22に示したように、BPF 314は、GPS帯域内の周波数の信号を通過させ、AMP S帯域およびPCS帯域内の周波数の信号を遮断する。

【0109】

次に、図23ないし図26を参照して、ダイプレクサ310において用いられる各フィルタの構成の例について説明する。

【0110】

図23は、LPF 324の構成の一例を示す回路図である。このLPF 324は、2つの端子341、342と、インダクタ343と、3つのキャパシタ344～346とを有している。インダクタ343の一端は端子341に接続され、インダクタ343の他端は端子342に接続されている。キャパシタ344の一

端は端子 3 4 1 に接続され、キャパシタ 3 4 4 の他端は端子 3 4 2 に接続されている。キャパシタ 3 4 5 の一端は端子 3 4 1 に接続され、キャパシタ 3 4 5 の他端は接地されている。キャパシタ 3 4 6 の一端は端子 3 4 2 に接続され、キャパシタ 3 4 6 の他端は接地されている。

【0 1 1 1】

図 2 4 は、図 2 3 に示した L P F 3 2 4 の代わりに用いることの可能な高域除去型のノッチフィルタの構成の一例を示す回路図である。このノッチフィルタは、2つの端子 3 5 1, 3 5 2 と、2つのインダクタ 3 5 3, 3 5 4 と、キャパシタ 3 5 5 とを有している。インダクタ 3 5 3 の一端は端子 3 5 1 に接続されている。インダクタ 3 5 4 の一端はインダクタ 3 5 3 の他端に接続され、インダクタ 3 5 4 の他端は端子 3 5 2 に接続されている。キャパシタ 3 5 5 の一端はインダクタ 3 5 3 の他端に接続され、キャパシタ 3 5 5 の他端は端子 3 5 2 に接続されている。

【0 1 1 2】

図 2 5 は、H P F 3 2 5 の構成の一例を示す回路図である。この H P F 3 2 5 は、2つの端子 3 6 1, 3 6 2 と、3つのインダクタ 3 6 3, 3 6 5, 3 6 6 と、キャパシタ 3 6 4 とを有している。インダクタ 3 6 3 の一端は端子 3 6 1 に接続され、インダクタ 3 6 3 の他端は端子 3 6 2 に接続されている。キャパシタ 3 6 4 の一端は端子 3 6 1 に接続され、キャパシタ 3 6 4 の他端は端子 3 6 2 に接続されている。インダクタ 3 6 5 の一端は端子 3 6 1 に接続され、インダクタ 3 6 5 の他端は接地されている。インダクタ 3 6 6 の一端は端子 3 6 2 に接続され、インダクタ 3 6 6 の他端は接地されている。

【0 1 1 3】

図 2 6 は、図 2 5 に示した H P F 3 2 5 の代わりに用いることの可能な低域除去型のノッチフィルタの構成の一例を示す回路図である。このノッチフィルタは、2つの端子 3 7 1, 3 7 2 と、2つのキャパシタ 3 7 3, 3 7 5 と、インダクタ 3 7 4 とを有している。キャパシタ 3 7 3 の一端は端子 3 7 1 に接続されている。インダクタ 3 7 4 の一端はキャパシタ 3 7 3 の他端に接続され、インダクタ 3 7 4 の他端は端子 3 7 2 に接続されている。キャパシタ 3 7 5 の一端はキャパ

シタ 3 7 3 の他端に接続され、キャパシタ 3 7 5 の他端は端子 3 7 2 に接続されている。

【0 1 1 4】

次に、図 2 7 を参照して、B P F 3 1 4 の構成の一例について説明する。図 2 7 は、B P F 3 1 4 の構成の一例を示す回路図である。この B P F 3 1 4 は、2 つの端子 3 8 1, 3 8 2 と、6 つのキャパシタ 3 8 3 ~ 3 8 8 と、2 つのインダクタ 3 9 1, 3 9 2 とを有している。キャパシタ 3 8 3 の一端は端子 3 8 1 に接続されている。キャパシタ 3 8 4 の一端はキャパシタ 3 8 3 の他端に接続されている。キャパシタ 3 8 5 の一端はキャパシタ 3 8 4 の他端に接続され、キャパシタ 3 8 5 の他端は端子 3 8 2 に接続されている。キャパシタ 3 8 6 の一端は端子 3 8 1 に接続され、キャパシタ 3 8 6 の他端は端子 3 8 2 に接続されている。キャパシタ 3 8 7 の一端は、キャパシタ 3 8 3, 3 8 4 の接続点に接続され、キャパシタ 3 8 7 の他端は接地されている。キャパシタ 3 8 8 の一端は、キャパシタ 3 8 4, 3 8 5 の接続点に接続され、キャパシタ 3 8 8 の他端は接地されている。インダクタ 3 9 1 の一端は、キャパシタ 3 8 7 の一端に接続され、インダクタ 3 9 1 の他端は接地されている。インダクタ 3 9 2 の一端は、キャパシタ 3 8 8 の一端に接続され、インダクタ 3 9 2 の他端は接地されている。

【0 1 1 5】

次に、図 2 8 を参照して、デュプレクサ 3 1 2, 3 1 3 の回路構成の一例について説明する。図 2 8 に示したデュプレクサ 3 1 2, 3 1 3 は、共通端子 4 0 1 と送信端子 4 0 2 と受信端子 4 0 3 とを有している。共通端子 4 0 1 はダイプレクサ 3 1 0 に接続される。送信端子 4 0 2 はアイソレータ 3 0 6 A またはアイソレータ 3 0 6 P に接続される。受信端子 4 0 3 はローノイズアンプ 3 0 4 A またはローノイズアンプ 3 0 4 P に接続される。

【0 1 1 6】

デュプレクサ 3 1 2, 3 1 3 は、更に、一端が共通端子 4 0 1 に接続された送信側ディレーライン（図 2 8 では送信側 D L と記す。）4 0 4 と、出力端が送信側ディレーライン 4 0 4 の他端に接続され、入力端が送信端子 4 0 2 に接続された送信側 B P F 4 0 5 とを有している。デュプレクサ 3 1 2, 3 1 3 は、更に、

一端が共通端子401に接続された受信側ディレーライン（図28では受信側DLと記す。）406と、入力端が受信側ディレーライン406の他端に接続され、出力端が受信端子403に接続された受信側BPF407とを有している。BPF405、407は、いずれも弾性波素子を用いて構成されている。

【0117】

送信側ディレーライン404および受信側ディレーライン406は、各端子401、402、403からデュプレクサ312、313を見たときのインピーダンスが以下のようになるように調整される。すなわち、共通端子401からデュプレクサ312、313を見たときには、送信信号の周波数帯域および受信信号の周波数帯域においてインピーダンスがほぼ50Ωとなる。送信端子402からデュプレクサ312、313を見たときには、送信信号の周波数帯域ではインピーダンスがほぼ50Ωとなり、受信信号の周波数帯域ではインピーダンスが十分に大きくなる。受信端子403からデュプレクサ312、313を見たときには、受信信号の周波数帯域ではインピーダンスがほぼ50Ωとなり、送信信号の周波数帯域ではインピーダンスが十分に大きくなる。なお、BPF405、407の構成によっては、送信側ディレーライン404と受信側ディレーライン406の一方のみを設ければよい場合もある。

【0118】

なお、上述のインピーダンスの関係を実現するために、図28に示したデュプレクサ312、313における共通端子401、送信端子402、受信端子403と、それらに接続される外部の回路との間に、必要に応じて整合回路を設けてもよい。図29は、デュプレクサ312、313およびそれに接続される整合回路の回路構成の一例を示す回路図である。図29に示した例におけるデュプレクサ312、313の構成は、図28に示したデュプレクサ312、313の構成と同様である。図29に示した例では、共通端子401に整合回路411が接続され、送信端子402に整合回路412が接続され、受信端子403に整合回路413が接続されている。これらの整合回路411、412、413は、フロントエンドモジュール302に含まれている。

【0119】

整合回路411は、端子414と、2つのキャパシタ415、416とを有している。端子414はダイプレクサ310に接続される。キャパシタ415の一端は端子414に接続され、キャパシタ415の他端は共通端子401に接続されている。キャパシタ416の一端は共通端子401に接続され、キャパシタ416の他端は接地されている。

【0120】

整合回路412は、端子417と、2つのキャパシタ418、419と、インダクタ420とを有している。キャパシタ418の一端は端子417に接続されている。キャパシタ419の一端はキャパシタ418の他端に接続され、キャパシタ419の他端は送信端子402に接続されている。インダクタ420の一端はキャパシタ418の他端に接続され、インダクタ420の他端は接地されている。

【0121】

整合回路413は、端子421と、インダクタ422と、キャパシタ423とを有している。インダクタ422の一端は受信端子403に接続され、インダクタ422の他端は端子421に接続されている。キャパシタ423の一端は端子421に接続され、キャパシタ423の他端は接地されている。

【0122】

図30は、デュプレクサ312、313における送信側BPF405の特性、すなわち周波数と利得との関係を模式的に表している。図30に示したように、送信側BPF405は、送信信号（図30ではTXと記す。）を通過させ、受信信号（図30ではRXと記す。）を遮断する。

【0123】

図31は、デュプレクサ312、313における受信側BPF407の特性、すなわち周波数と利得との関係を模式的に表している。図31に示したように、受信側BPF407は、受信信号（図31ではRXと記す。）を通過させ、送信信号（図31ではTXと記す。）を遮断する。

【0124】

次に、図32ないし図35を参照して、フロントエンドモジュール302の構

造について説明する。図32は、フロントエンドモジュール302の外観の一例を示す斜視図である。図32に示したように、フロントエンドモジュール302は、1つの集積用多層基板430を備えている。ダイプレクサ310、2つのデュプレクサ312、313およびBPF314は、この集積用多層基板430によって集積されている。集積用多層基板430は、誘電体層と、パターン化された導体層とが交互に積層された構造になっている。集積用多層基板430は、例えば低温焼成セラミック多層基板になっている。フロントエンドモジュール302の回路は、集積用多層基板430の内部または表面上の導体層と、集積用多層基板430に搭載された部品とによって構成されている。特に、ダイプレクサ310は、集積用多層基板430の内部または表面上の導体層を用いて構成されている。

【0125】

図28に示したように、デュプレクサ312、313は、それぞれ2つのBPF405、407を有している。BPF405、407は、いずれも弾性波素子を用いて構成されている。古くから、BPFとしては、誘電体共振器を用いて構成されたものが使用されていた。しかしながら、誘電体共振器を用いたBPFは、大きく重いため、フロントエンドモジュールの小型軽量化には不向きである。本実施の形態では、デュプレクサ312、313は、弾性波素子を用いて構成されたBPF405、407を有しているため、BPF405、407を含めたフロントエンドモジュール302の小型軽量化が可能である。

【0126】

なお、ここでは、弾性波素子として弾性表面波素子を用いた場合の例について説明するが、第1の実施の形態と同様に、弾性表面波素子の代わりにバルク弾性波素子、特に薄膜バルク波素子を用いてもよい。

【0127】

図32において、符号431、432は、デュプレクサ312におけるBPF405、407に用いられる弾性表面波素子を含むチップを表わし、符号433、434は、デュプレクサ313におけるBPF405、407に用いられる弾性表面波素子を含むチップを表わしている。チップ431～434は集積用多層

基板430の上面に実装されている。弾性表面波素子以外のデュプレクサ312, 313の回路部分の少なくとも一部は、集積用多層基板430の内部または表面上の導体層を用いて構成されている。図32には、弾性表面波素子以外のデュプレクサ312, 313の回路部分の一部が、集積用多層基板430の上面に実装されたチップ部品435～437によって構成され、弾性表面波素子以外のデュプレクサ312, 313の回路部分の残りの部分が、集積用多層基板430の内部または表面上の導体層を用いて構成されている例を示している。しかし、弾性表面波素子以外のデュプレクサ312, 313の回路部分は、全てインダクタとキャパシタによって構成できるため、弾性表面波素子以外のデュプレクサ312, 313の回路部分の全部を集積用多層基板430の内部または表面上の導体層を用いて構成してもよい。

【0128】

集積用多層基板430の上面、およびこの上面に実装されたチップ431～434およびチップ部品435～437は、シールドケース438によって覆われている。

【0129】

図33は、図32において符号440で示した断面を表わす断面図である。図33に示したように、チップ431は、LiTaO₃等の圧電材料からなる圧電基板441と、この圧電基板441の一方の面に形成された櫛形電極442と、この櫛形電極442を外部の回路に接続するための接続電極443と、櫛形電極442を覆うカバー444とを有している。接続電極443は、櫛形電極442と同一面上に配置されている。また、櫛形電極442とカバー444との間には空間が形成されている。チップ431は、櫛形電極442が集積用多層基板430の上面に対向するように、フリップチップボンディングによって、集積用多層基板430の上面に実装されている。チップ432～434の構造および実装方法もチップ431と同様である。

【0130】

図33において、符号451は、アンテナ301Aに接続されるアンテナ端子を示し、符号452は、AMP S帯域における受信信号を出力する出力端子を示

し、符号4 5 3は、グランド端子を示している。これらの端子4 5 1～4 5 3は、集積用多層基板4 3 0の下面に配置されている。また、符号4 5 4は、集積用多層基板4 3 0の内部に配置されたグランド層を示している。このグランド層4 5 4は、グランド端子4 5 3に接続されている。

【0 1 3 1】

また、図3 3に示した例では、チップ4 3 1は、デュプレクサ3 1 2における受信側B P F 4 0 7を構成するものとしている。また、図3 3には、集積用多層基板4 3 0の内部に形成された回路部分の例として、図2 3に示したL P F 3 2 4と、図2 9に示した整合回路4 1 1と、図2 9に示した受信側ディレーライン4 0 6と、図2 9に示した整合回路4 1 3とを示している。図3 4は、図3 3において符号4 6 0で示した部分、すなわち、整合回路4 1 1および受信側ディレーライン4 0 6を示す斜視図である。

【0 1 3 2】

図3 2に示した例では、集積用多層基板4 3 0の上面が平坦で、この平坦な上面にチップ4 3 1～4 3 4が実装されている。他の例として、図3 5に示したように、集積用多層基板4 3 0の上面にチップ4 3 1～4 3 4を収納する4つの凹部4 3 9を形成し、この凹部4 3 9内にそれぞれチップ4 3 1～4 3 4を配置してもよい。

【0 1 3 3】

図3 2に示したフロントエンドモジュール3 0 2の大きさは、例えば、縦5. 4 mm、横4. 0 mm、高さ1. 8 mmになっている。

【0 1 3 4】

次に、図3 6ないし図4 2を参照して、本実施の形態に係るフロントエンドモジュール3 0 2に対する比較例のフロントエンドモジュールについて説明する。比較例のフロントエンドモジュールの回路構成は、図1 7に示したフロントエンドモジュール3 0 2と同様である。しかし、比較例では、ダイプレクサと2つのデュプレクサは、それぞれ別個の部品とされ、これらが、マザー基板上に半田付け等の方法によって実装されて構成されている。

【0 1 3 5】

図36は、比較例におけるダイプレクサ510の外観の一例を示す平面図である。図36に示したダイプレクサ510は、第1ないし第3のポートに対応する端子510A、510B、510Cと、3つのグランド端子510Gとを有している。図36に示した例では、ダイプレクサ510の大きさは、縦2.0mm、横1.2mmになっている。

【0136】

図37は、図36に示したダイプレクサ510の断面図である。図38は、図37において符号541、542で示した部分を分解して示す斜視図である。図37に示したように、ダイプレクサ510は多層基板を有している。図37および図38には、端子511Aと、この端子511Aに接続されたLPF524とが示されている。LPF524は、多層基板の内部または表面上の導体層を用いて形成されている。このLPF524は、図23に示した構成になっている。すなわち、LPF524は、インダクタ343と3つのキャパシタ344～346を有している。なお、図37において、符号540はグランド層を示している。

【0137】

図39は、比較例におけるデュプレクサ512、513の外観の一例を示す斜視図である。図39に示したデュプレクサ512、513は、それぞれBPFに用いられる弾性表面波素子を含む2つのチップ521、522と、この2つのチップ521、522が実装された実装基板523と、チップ521、522を覆うシールドケース524とを有している。実装基板523は多層基板になっている。図39に示した例では、デュプレクサ512、513の大きさは、縦5mm、横5mm、高さ1.5mmになっている。

【0138】

図40は、図39におけるチップ521を通る断面を示す断面図である。図40におけるチップ521の構造は、図33に示したチップ431の構造と同様である。図40には、共通端子531、受信端子532、受信側ディレーライン533および整合回路534が示されている。受信側ディレーライン533および整合回路534は、実装基板523の内部または表面上の導体層を用いて形成されている。

【0139】

図4 1は比較例におけるフロントエンドモジュールの構成部品の配置例を示す平面図、図4 2はこの配置例を示す斜視図である。この例では、マザー基板上に、ダイプレクサ510、デュプレクサ512, 513およびそれらの周辺回路が配置される第1の領域537と、BPF514およびその周辺回路が配置される第2の領域538とが設けられている。この例では、BPF514の大きさは、縦3mm、横6mmになっている。また、この例では、第1の領域537の大きさは縦13mm、横10mmで、第2の領域538の大きさは縦5mm、横10mmになっている。

【0140】

本実施の形態に係るフロントエンドモジュール302は、比較例に比べて、占有面積を小さくすることができる。

【0141】

以上説明したように、本実施の形態に係るフロントエンドモジュール2は、AMP S帯域とPCS帯域とを分離するダイプレクサ310と、AMP S帯域における送信信号と受信信号とを分離するデュプレクサ312と、PCS帯域における送信信号と受信信号とを分離するデュプレクサ313と、GPSにおける受信信号を選択的に通過させるBPF314とを備えている。デュプレクサ312は、それぞれフィルタとして機能する2つの弾性波素子を含んでいる。デュプレクサ313も、それぞれフィルタとして機能する2つの弾性波素子を含んでいる。本実施の形態では、ダイプレクサ310、デュプレクサ312, 313およびBPF314は、集積用多層基板430によって集積されている。ダイプレクサ310は、集積用多層基板430の内部または表面上の導体層を用いて構成されている。

【0142】

以上のことから、本実施の形態によれば、フロントエンドモジュール302によって、AMP S帯域とPCS帯域のそれぞれにおける送信信号および受信信号と、GPSにおける受信信号とを処理することができる。また、本実施の形態では、デュプレクサ312, 313によって送信信号と受信信号とを分離するので

、符号分割多重接続方式に対応可能である。また、本実施の形態によれば、小型軽量化、複合化および集積化が容易なフロントエンドモジュール302を実現することができる。

【0143】

また、本実施の形態では、デュプレクサ312におけるBPF405、407に用いられる弾性表面波素子を含むチップ431、432と、デュプレクサ313におけるBPF405、407に用いられる弾性表面波素子を含むチップ433、434は、集積用多層基板430の上面に実装されている。そして、弾性表面波素子以外のデュプレクサ312、313の回路部分の少なくとも一部は、集積用多層基板430の内部または表面上の導体層を用いて構成されている。これにより、フロントエンドモジュール302をより小型軽量化することが可能になる。

【0144】

また、本実施の形態によれば、弾性波素子を含むデュプレクサ312、313を、ダイプレクサ310と一体化することにより、デュプレクサ312、313とその周辺回路とのインピーダンス整合を最適化することが可能になる。従って、本実施の形態によれば、フロントエンドモジュール302の性能を向上させることも可能になる。

【0145】

なお、本発明は、上記各実施の形態に限定されず、種々の変更が可能である。例えば、各実施の形態では、デュプレクサにおける送信側BPFに用いられる弾性波素子を含むチップと受信側BPFに用いられる弾性波素子を含むチップとを別体に行している。しかし、本発明では、これらの2つのチップを合体して1つのチップとしてもよい。

【0146】

また、各実施の形態で挙げた周波数帯域の組み合わせは一例であり、本発明は、他の周波数帯域の組み合わせに対しても適用することができる。

【0147】

【発明の効果】

以上説明したように請求項 1 ないし 4 のいずれかに記載のフロントエンドモジュールは、第 1 および第 2 の周波数帯域を分離する第 1 の分離手段と、第 1 の周波数帯域における送信信号と受信信号とを分離する第 2 の分離手段と、第 2 の周波数帯域における送信信号と受信信号とを分離する第 3 の分離手段とを備えている。第 2 の分離手段は、それぞれフィルタとして機能する 2 つの弾性波素子を含んでいる。第 3 の分離手段も、それぞれフィルタとして機能する 2 つの弾性波素子を含んでいる。第 1 ないし第 3 の分離手段は、1 つの集積用多層基板によって集積されている。また、第 1 の分離手段は、集積用多層基板の内部または表面上の導体層を用いて構成されている。従って、本発明によれば、第 1 および第 2 の周波数帯域のそれぞれにおける送信信号および受信信号を処理できると共に符号分割多重接続方式に対応可能で、且つ小型軽量化、複合化および集積化が容易なフロントエンドモジュールを実現することができるという効果を奏する。

【0148】

また、請求項 2 記載のフロントエンドモジュールでは、第 2 の分離手段に含まれる 2 つの弾性波素子および第 3 の分離手段に含まれる 2 つの弾性波素子は、集積用多層基板に実装され、弾性波素子以外の第 2 の分離手段および第 3 の分離手段の回路部分の少なくとも一部は、集積用多層基板の内部または表面上の導体層を用いて構成されている。従って、本発明によれば、フロントエンドモジュールをより小型軽量化することが可能になるという効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係るフロントエンドモジュールを含む携帯電話の高周波回路の一例を示すブロック図である。

【図 2】

図 1 におけるダイプレクサの回路構成の一例を示す回路図である。

【図 3】

図 1 における高周波スイッチの回路構成の一例を示す回路図である。

【図 4】

図 1 におけるデュプレクサの回路構成の一例を示すブロック図である。

【図 5】

図 1 におけるデュプレクサおよびそれに接続される整合回路の回路構成の一例を示す回路図である。

【図 6】

図 1 におけるローパスフィルタの回路構成の一例を示す回路図である。

【図 7】

図 1 におけるカブラの回路構成の一例を示す回路図である。

【図 8】

図 1 における電力増幅器の回路構成の一例を示す回路図である。

【図 9】

図 1 におけるデュプレクサの構造の第 1 の例を示す断面図である。

【図 10】

図 1 におけるデュプレクサの構造の第 2 の例を示す断面図である。

【図 11】

図 1 におけるデュプレクサの構造の第 3 の例を示す断面図である。

【図 12】

本発明の第 1 の実施の形態における第 1 の変形例のフロントエンドモジュールを含む携帯電話の高周波回路を示すブロック図である。

【図 13】

本発明の第 1 の実施の形態における第 2 の変形例のフロントエンドモジュールを含む携帯電話の高周波回路を示すブロック図である。

【図 14】

本発明の第 1 の実施の形態における第 2 の変形例のフロントエンドモジュールにおける電力増幅器の配置の一例を示す断面図である。

【図 15】

本発明の第 1 の実施の形態の第 3 の変形例におけるアンテナの構造の第 1 の例を示す斜視図である。

【図 16】

本発明の第 1 の実施の形態の第 3 の変形例におけるアンテナの構造の第 2 の例

を示す斜視図である。

【図 1 7】

本発明の第 2 の実施の形態に係るフロントエンドモジュールを含む携帯電話の高周波回路の一例を示すブロック図である。

【図 1 8】

本発明の第 2 の実施の形態に係るフロントエンドモジュールによって処理される信号の周波数帯域を示す説明図である。

【図 1 9】

図 1 7 におけるダイプレクサの構成の一例を示すブロック図である。

【図 2 0】

図 1 9 におけるローパスフィルタの特性を示す説明図である。

【図 2 1】

図 1 9 におけるハイパスフィルタの特性を示す説明図である。

【図 2 2】

図 1 7 におけるバンドパスフィルタの特性を示す説明図である。

【図 2 3】

図 1 9 におけるローパスフィルタの構成の一例を示す回路図である。

【図 2 4】

図 2 3 に示したローパスフィルタの代わりに用いることの可能な高域除去型のノッチフィルタの構成の一例を示す回路図である。

【図 2 5】

図 1 9 におけるハイパスフィルタの構成の一例を示す回路図である。

【図 2 6】

図 2 5 に示したハイパスフィルタの代わりに用いることの可能な低域除去型のノッチフィルタの構成の一例を示す回路図である。

【図 2 7】

図 1 7 におけるバンドパスフィルタの構成の一例を示す回路図である。

【図 2 8】

図 1 7 におけるデュプレクサの構成の一例を示すブロック図である。

【図 2 9】

図 1 7 におけるデュプレクサおよびそれに接続される整合回路の構成の一例を示す回路図である。

【図 3 0】

図 2 8 または図 2 9 における送信側バンドパスフィルタの特性を示す説明図である。

【図 3 1】

図 2 8 または図 2 9 における受信側バンドパスフィルタの特性を示す説明図である。

【図 3 2】

本発明の第 2 の実施の形態に係るフロントエンドモジュールの外観の一例を示す斜視図である。

【図 3 3】

図 3 2 に示したフロントエンドモジュールの断面図である。

【図 3 4】

図 3 3 における一部を示す斜視図である。

【図 3 5】

本発明の第 2 の実施の形態に係るフロントエンドモジュールの構造の他の例を示す断面図である。

【図 3 6】

比較例のフロントエンドモジュールにおけるダイプレクサの外観の一例を示す平面図である。

【図 3 7】

図 3 6 に示したダイプレクサの断面図である。

【図 3 8】

図 3 7 における一部を分解して示す斜視図である。

【図 3 9】

比較例におけるデュプレクサの外観の一例を示す斜視図である。

【図 4 0】

図3 9に示したデュプレクサの断面図である。

【図4 1】

比較例におけるフロントエンドモジュールの構成部品の配置例を示す平面図である。

【図4 2】

比較例におけるフロントエンドモジュールの構成部品の配置例を示す斜視図である。

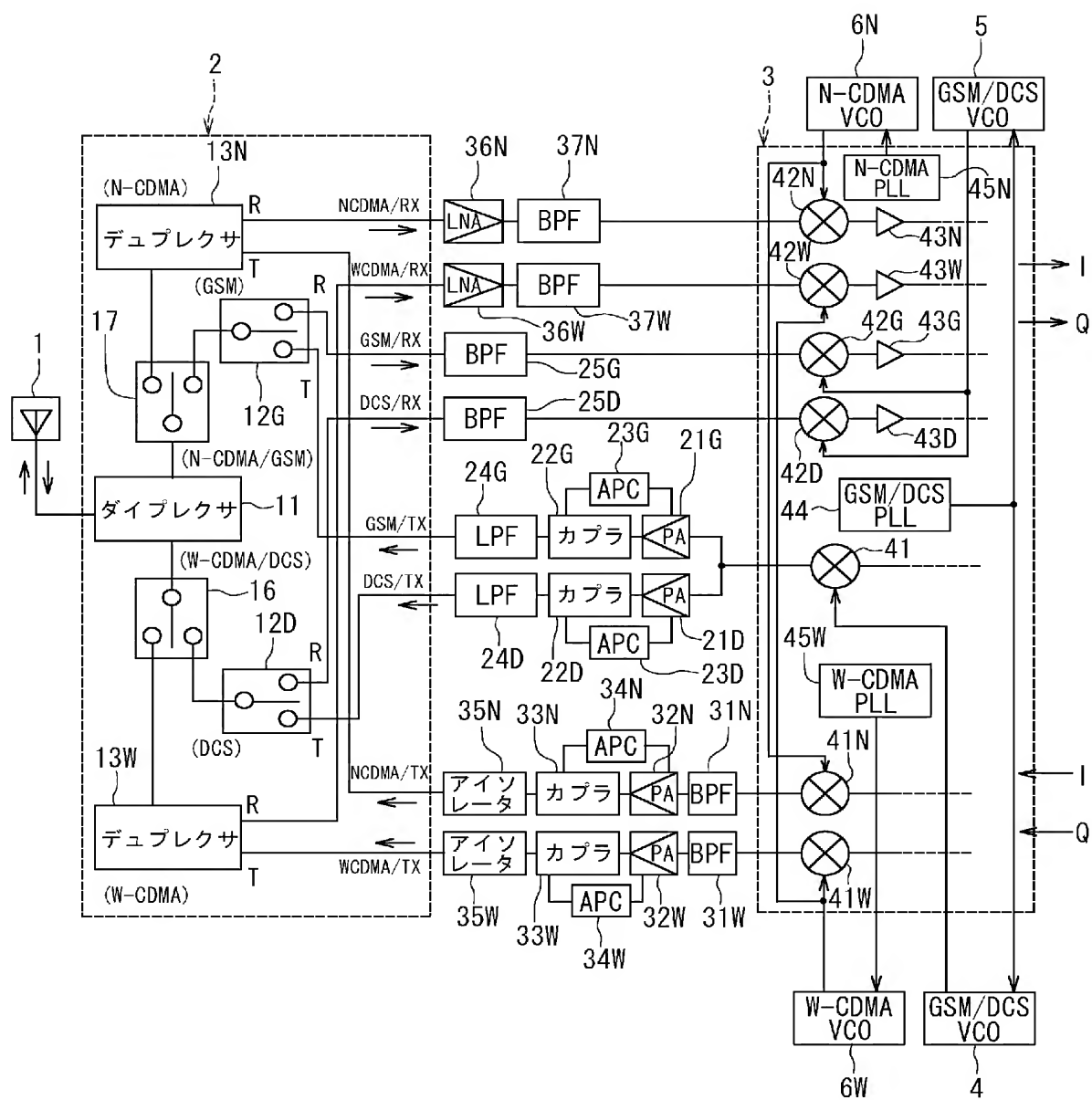
【符号の説明】

1…アンテナ、2…フロントエンドモジュール、3…集積回路、11…ダイプレクサ、12G, 12D…高周波スイッチ、13W, 13N…デュプレクサ、20…集積用多層基板、51, 52…チップ、53…実装基板、56…実装基板、154…受信側ディレーライン、155…受信側バンドパスフィルタ、156…送信側ディレーライン、157…送信側バンドパスフィルタ。

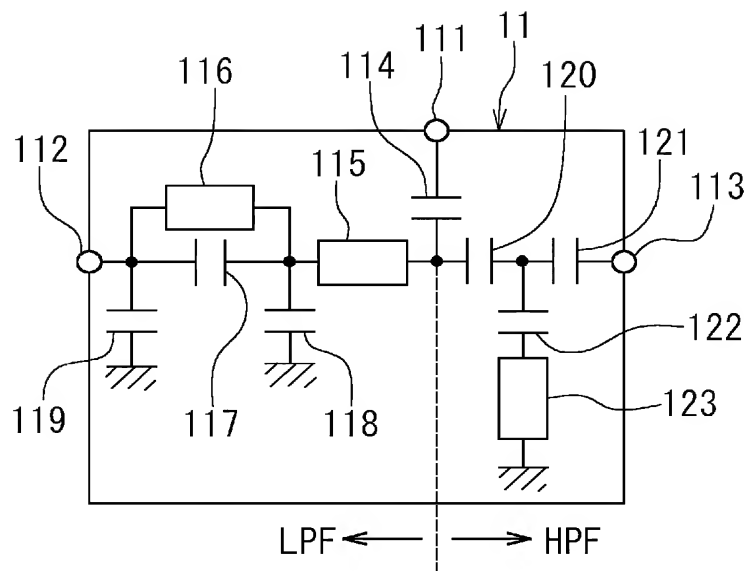
【書類名】

図面

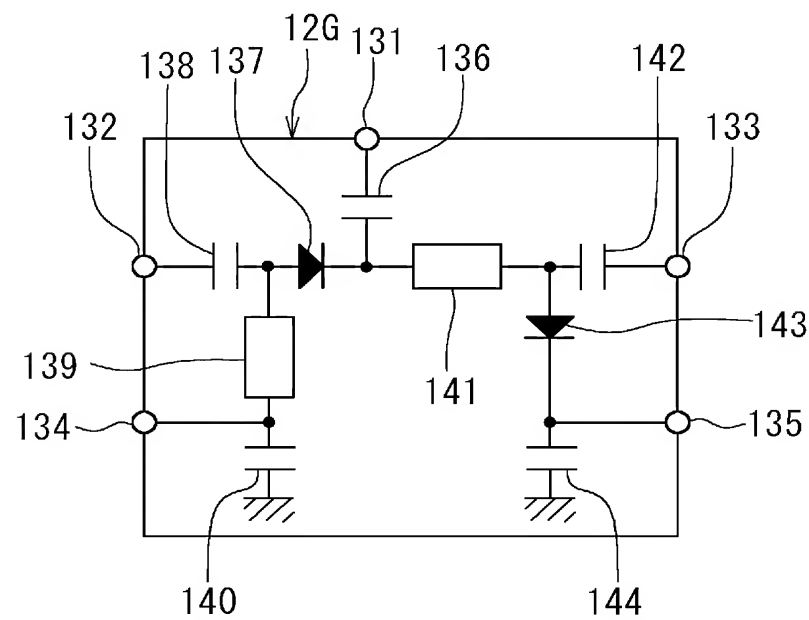
【図 1】



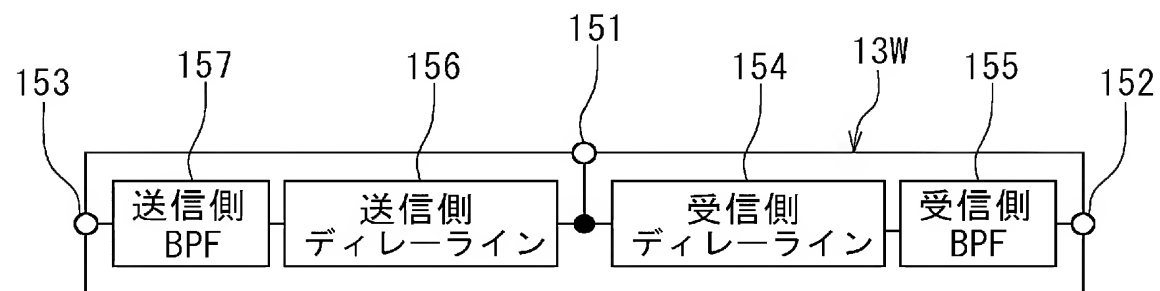
【図2】



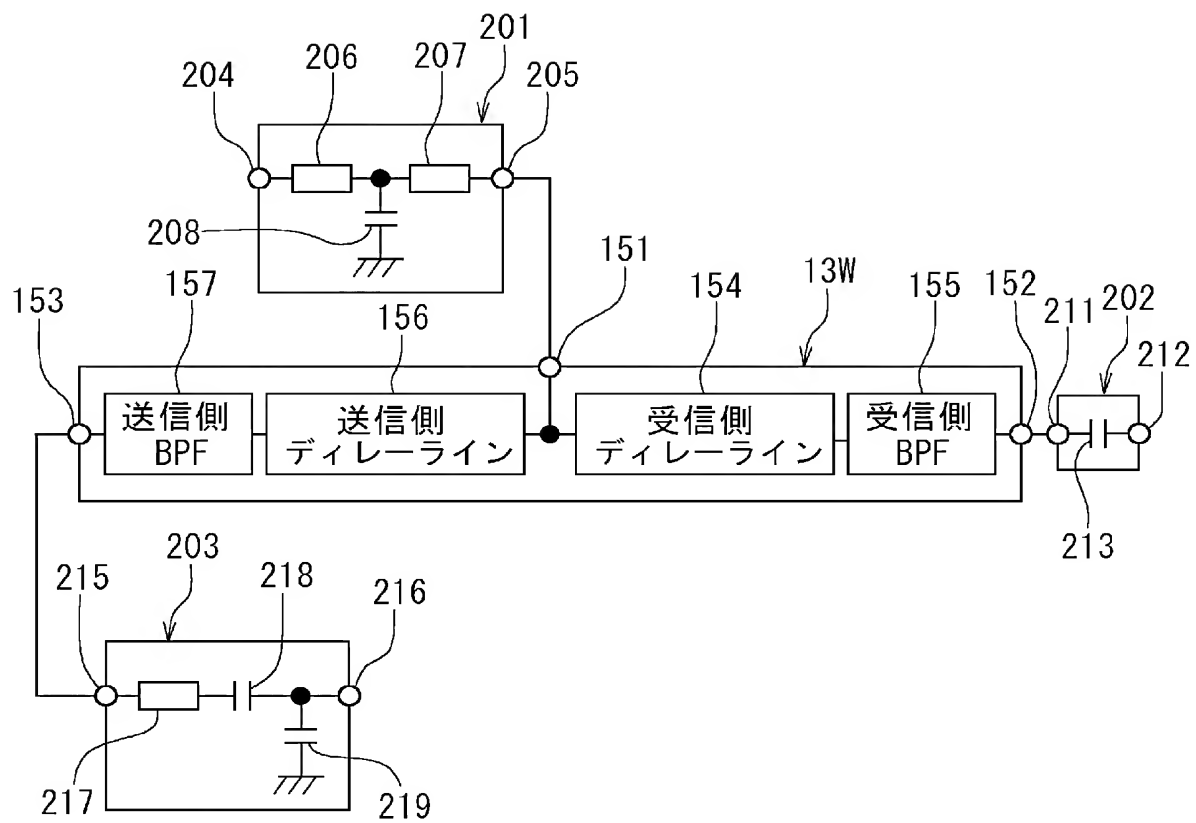
【図3】



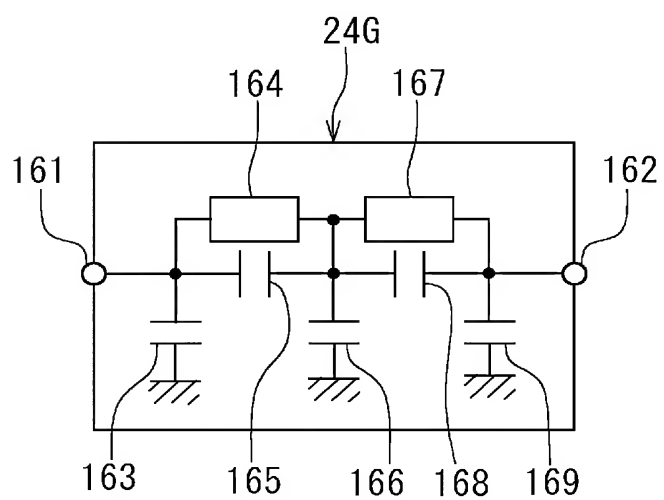
【図4】



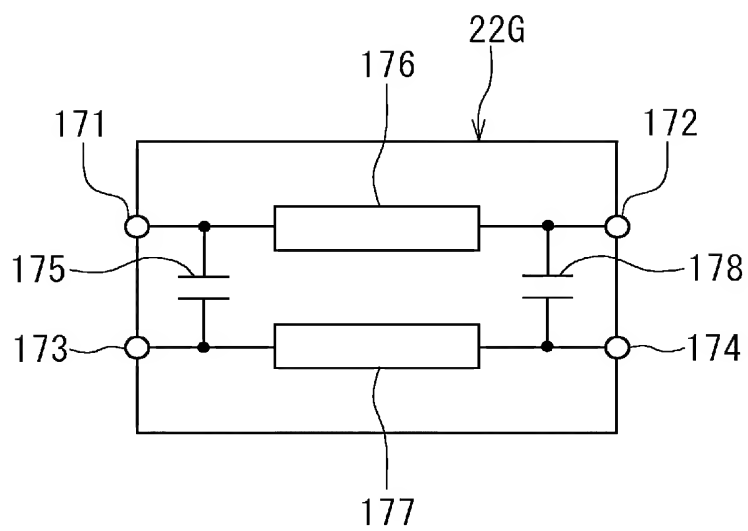
【図 5】



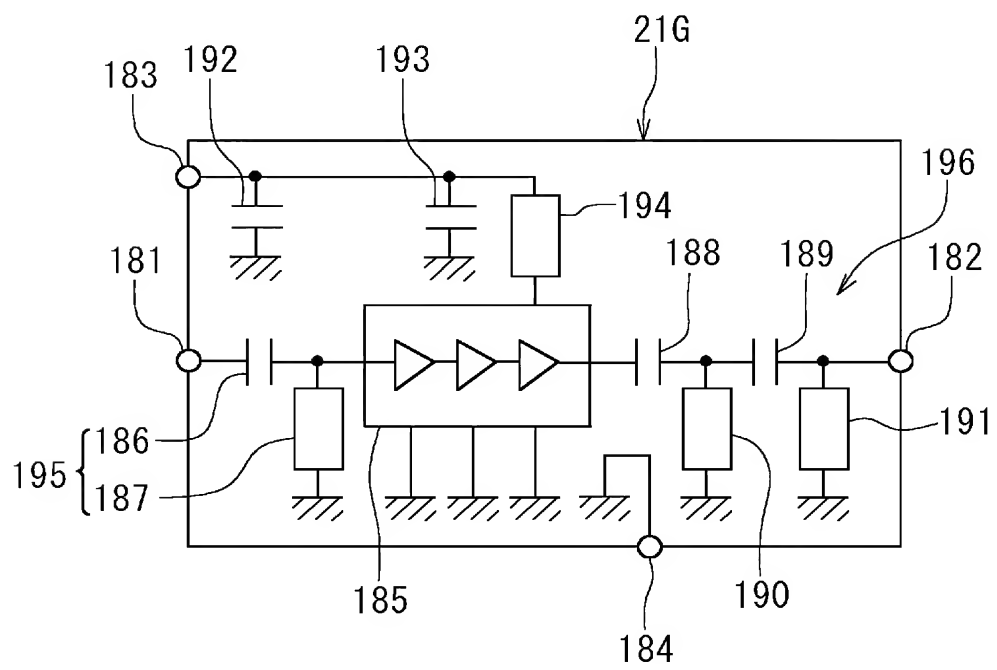
【図 6】



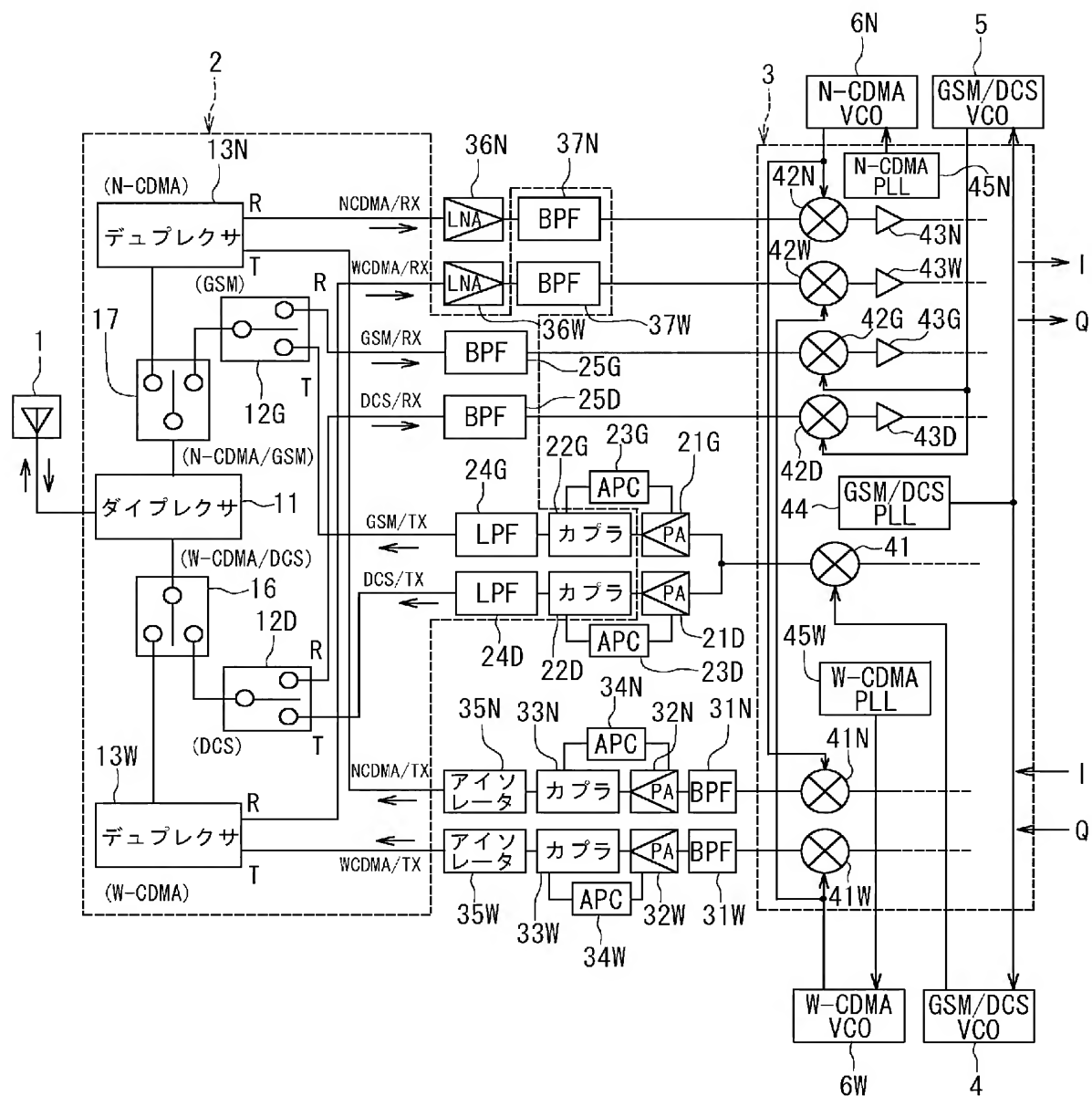
【図 7】

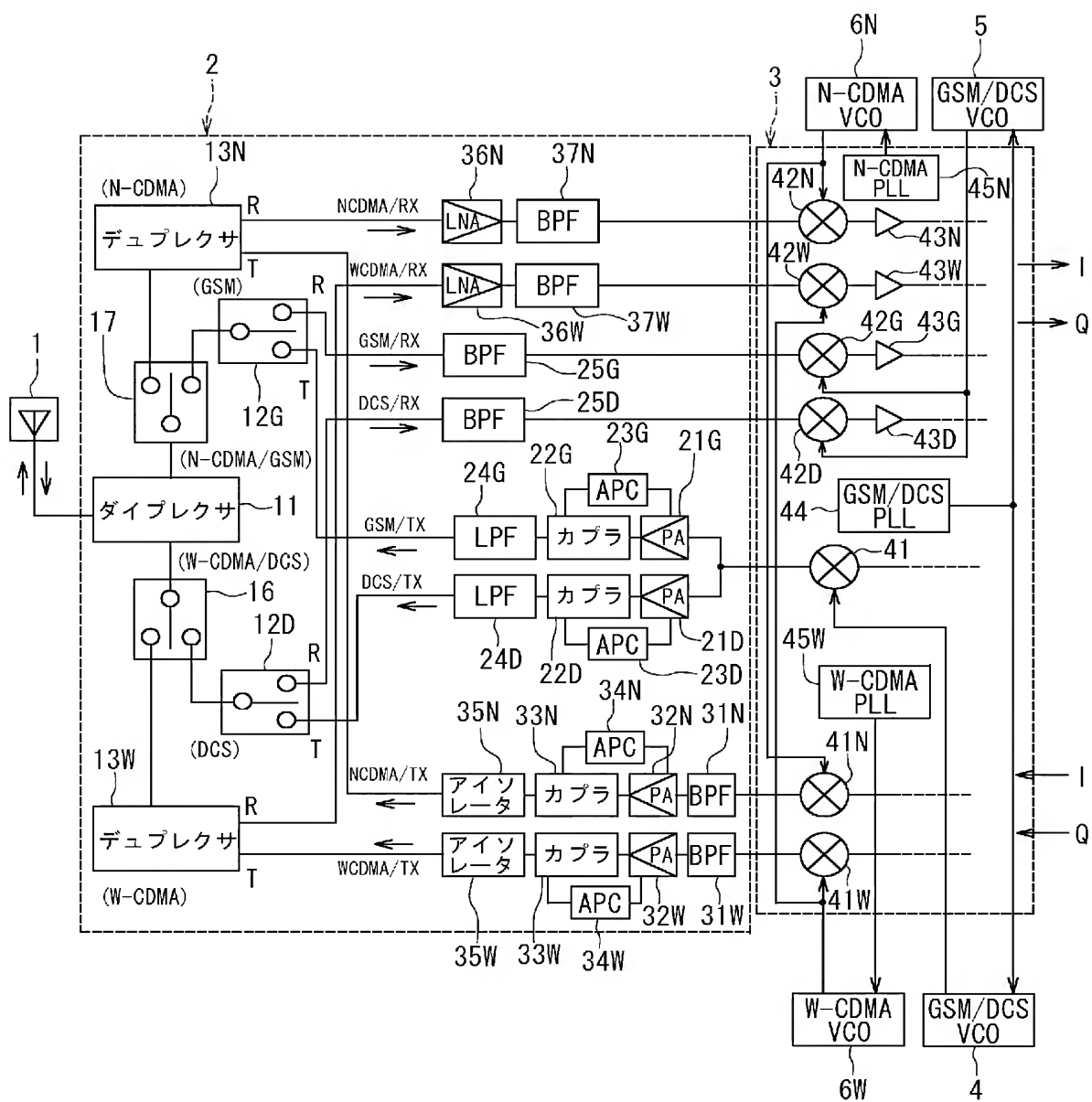


【図 8】

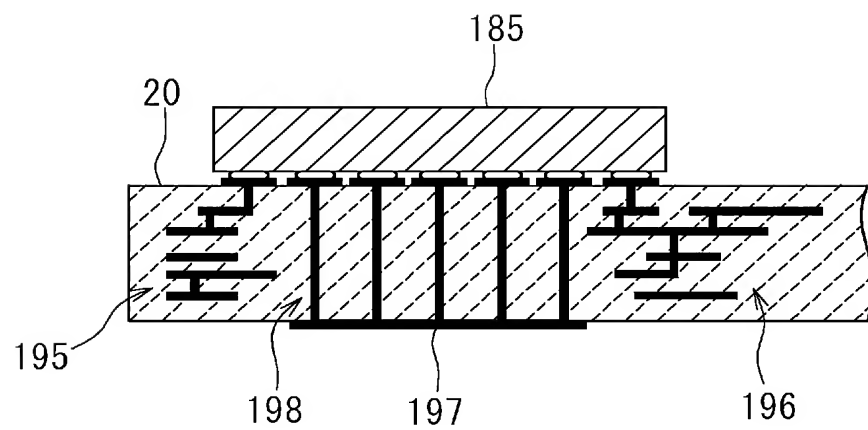


【図 1 2】

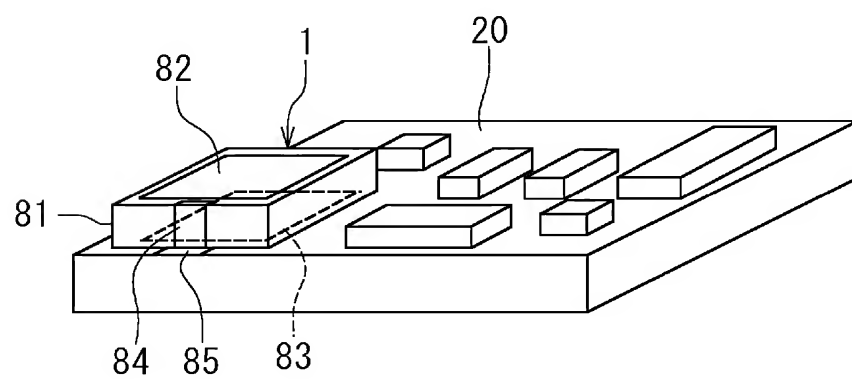




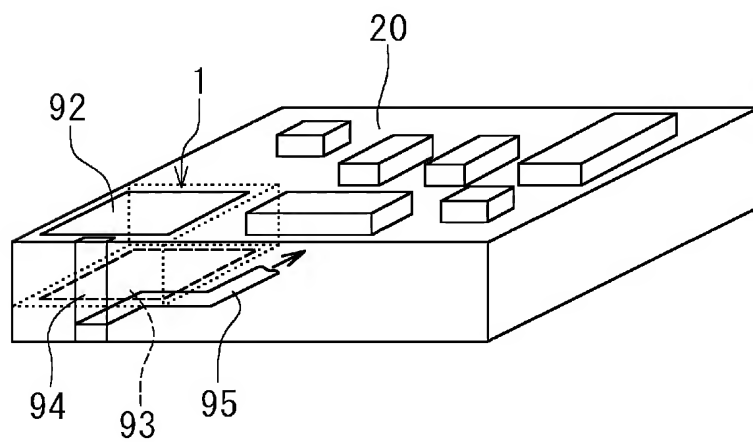
【図 1 4】



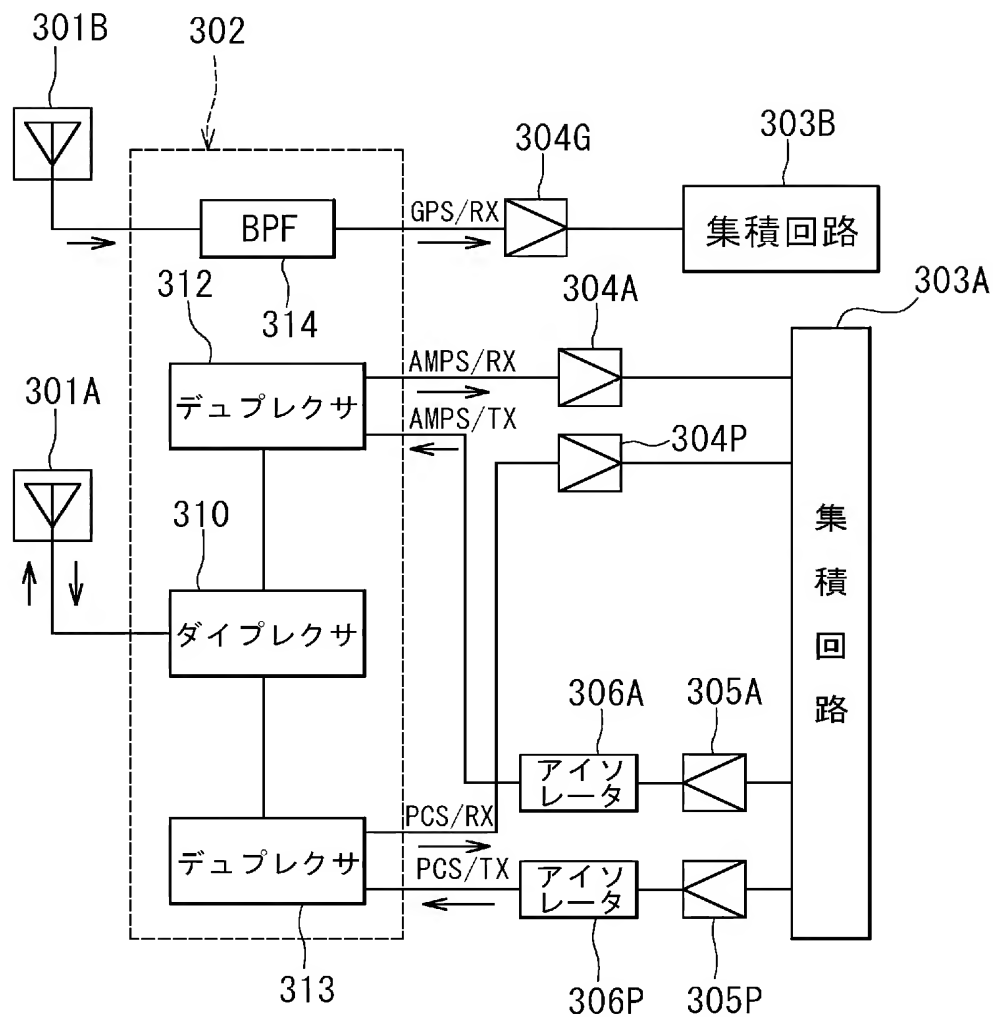
【図 1 5】



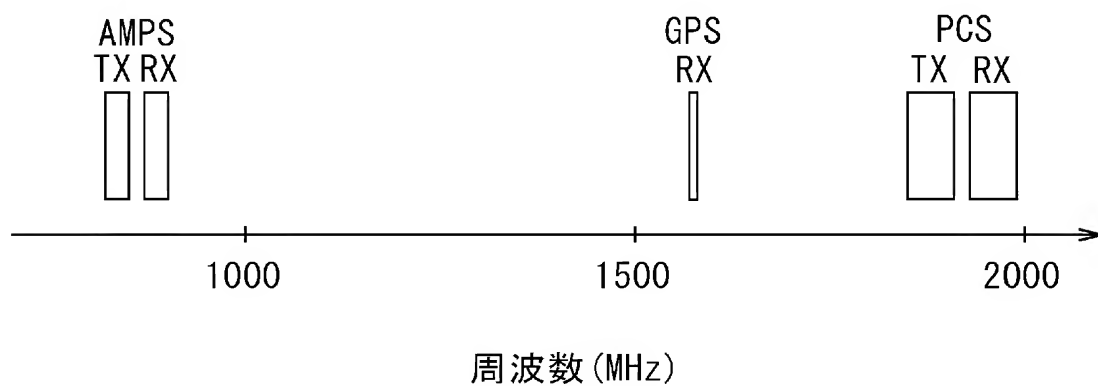
【図 1 6】



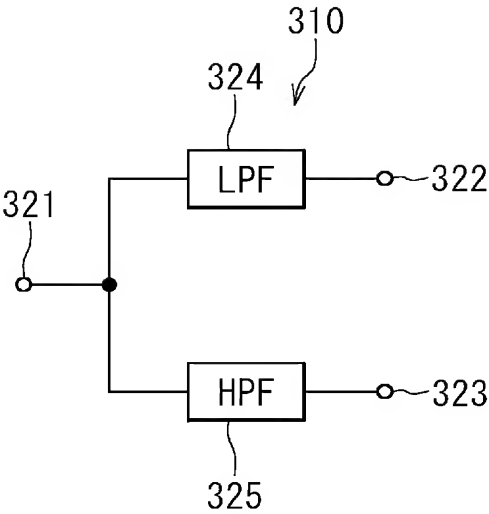
【図 1 7】



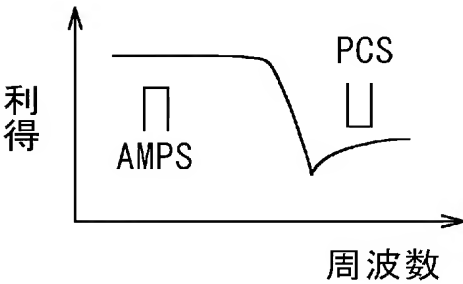
【図 1 8】



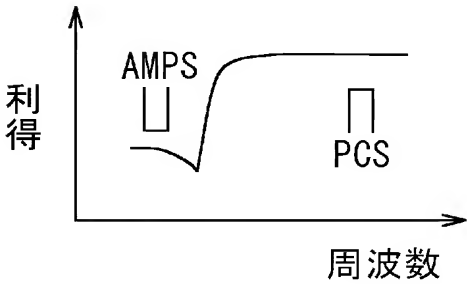
【図 19】



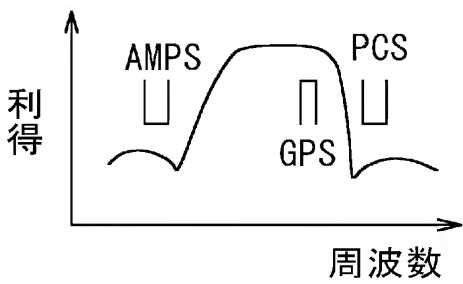
【図 20】



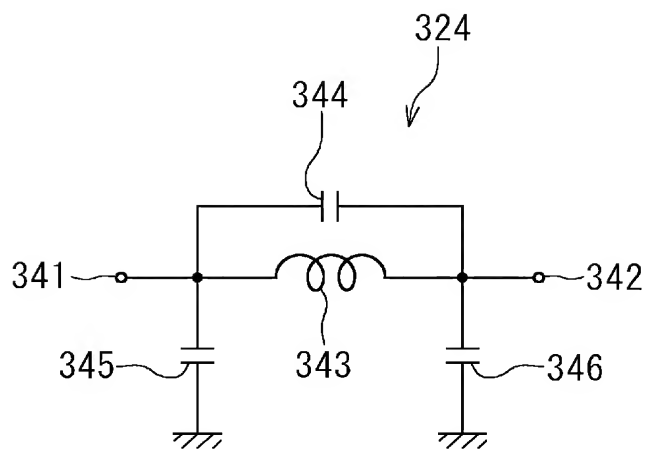
【図 21】



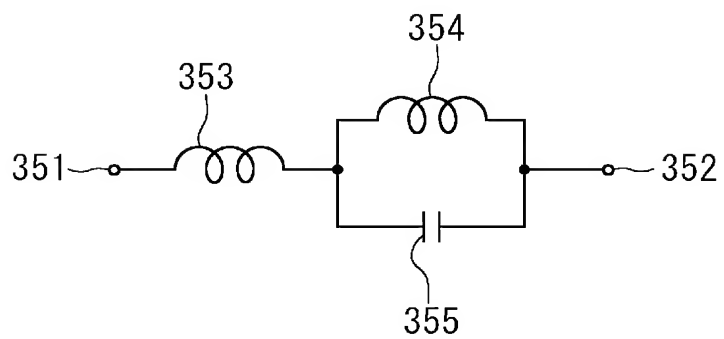
【図 22】



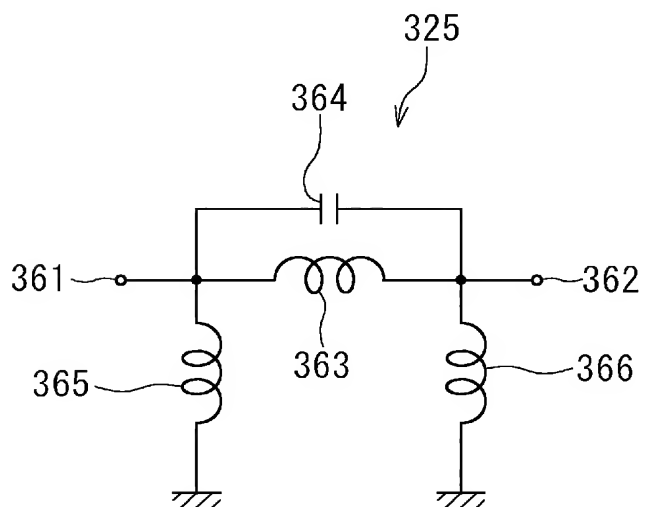
【図 2 3】



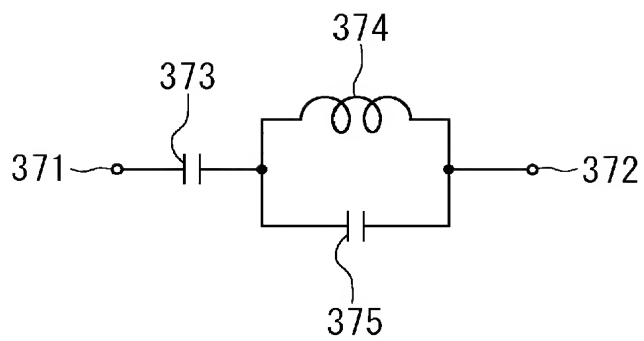
【図 2 4】



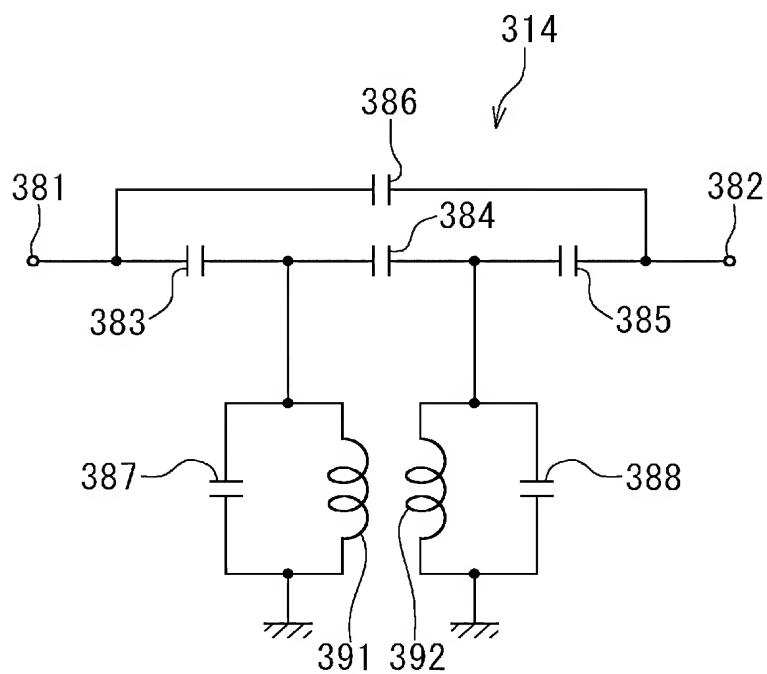
【図 2 5】



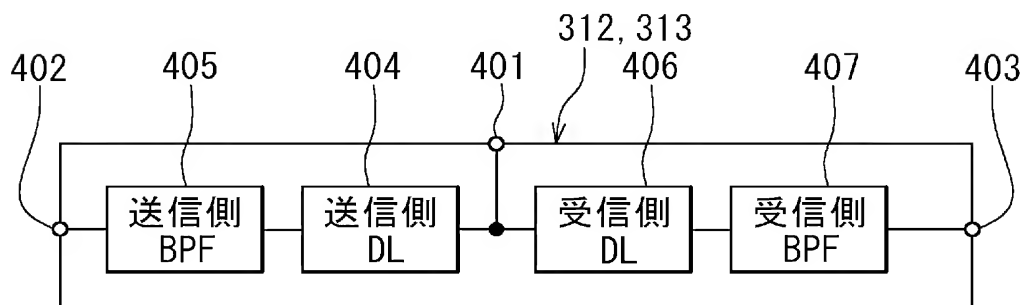
【図 2 6】



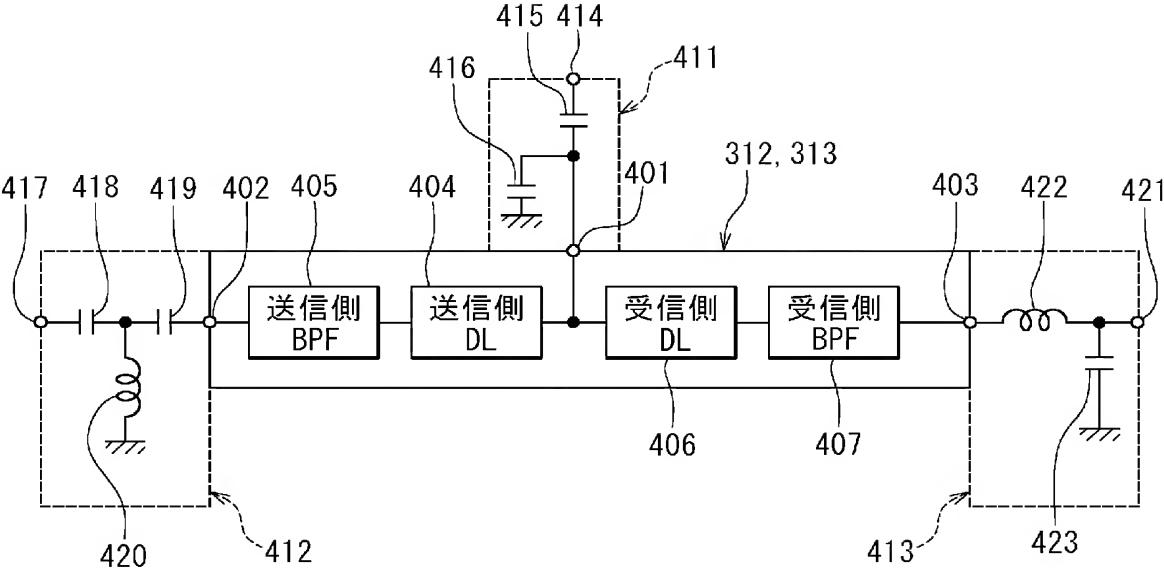
【図 2 7】



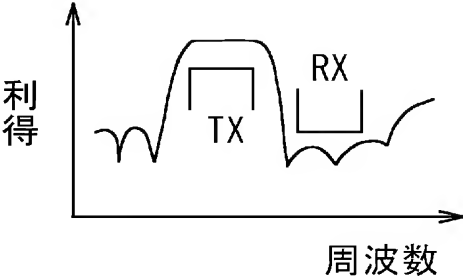
【図 2 8】



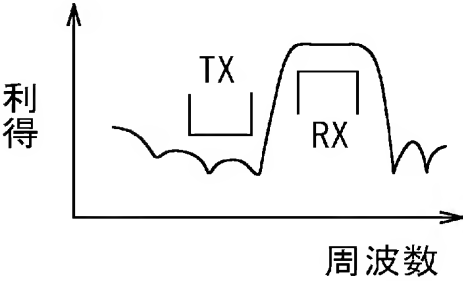
【図 2 9】



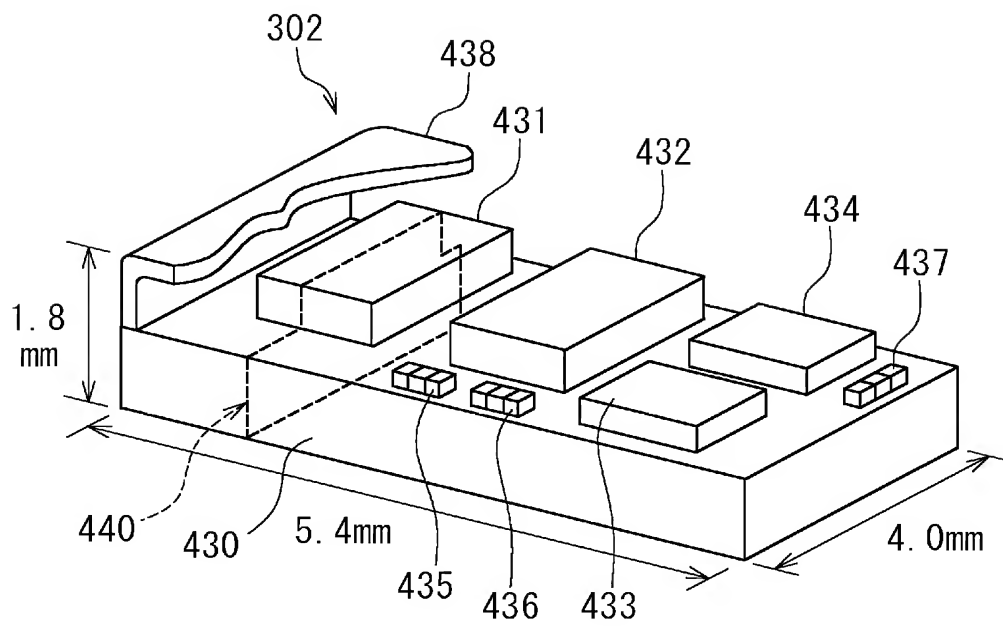
【図 3 0】



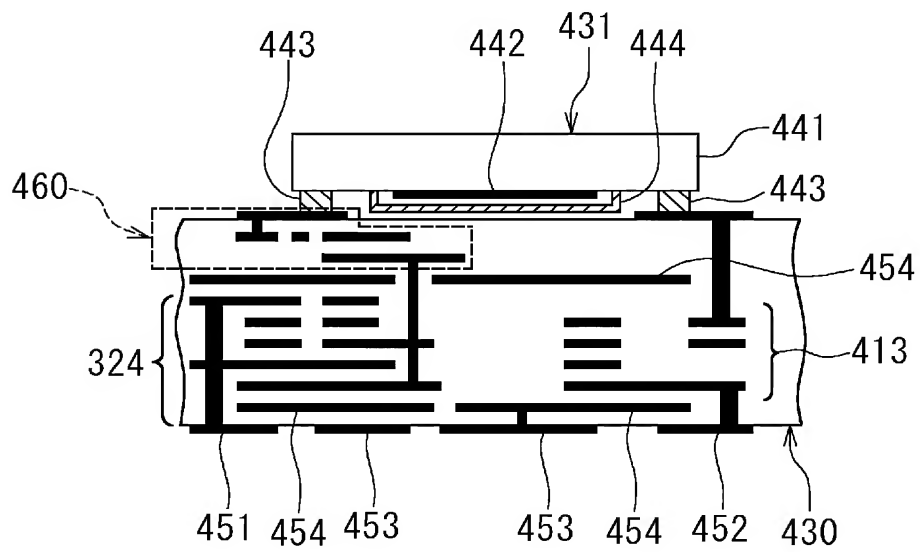
【図 3 1】



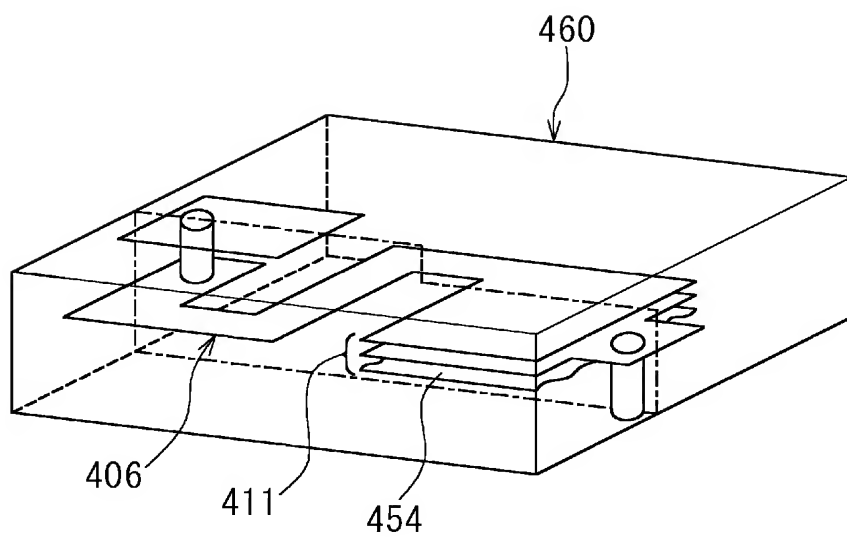
【図 3 2】



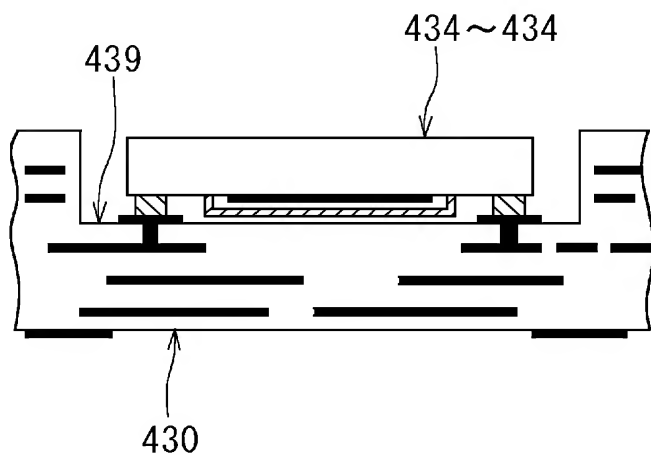
【図 3 3】



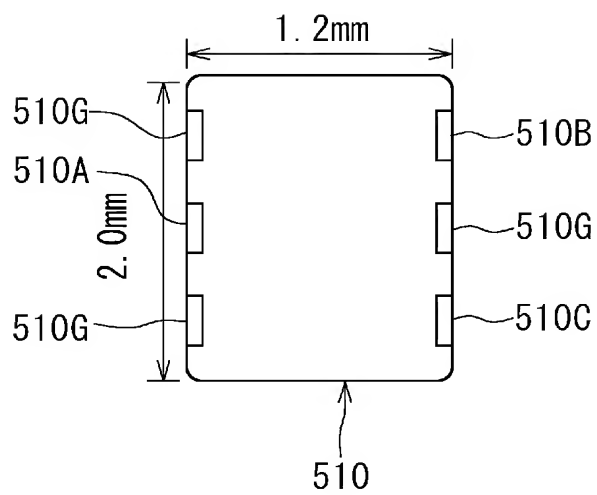
【図 3 4】



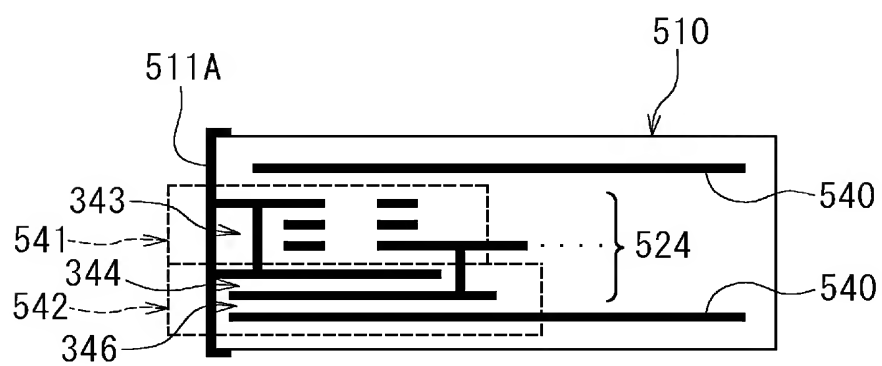
【図 3 5】



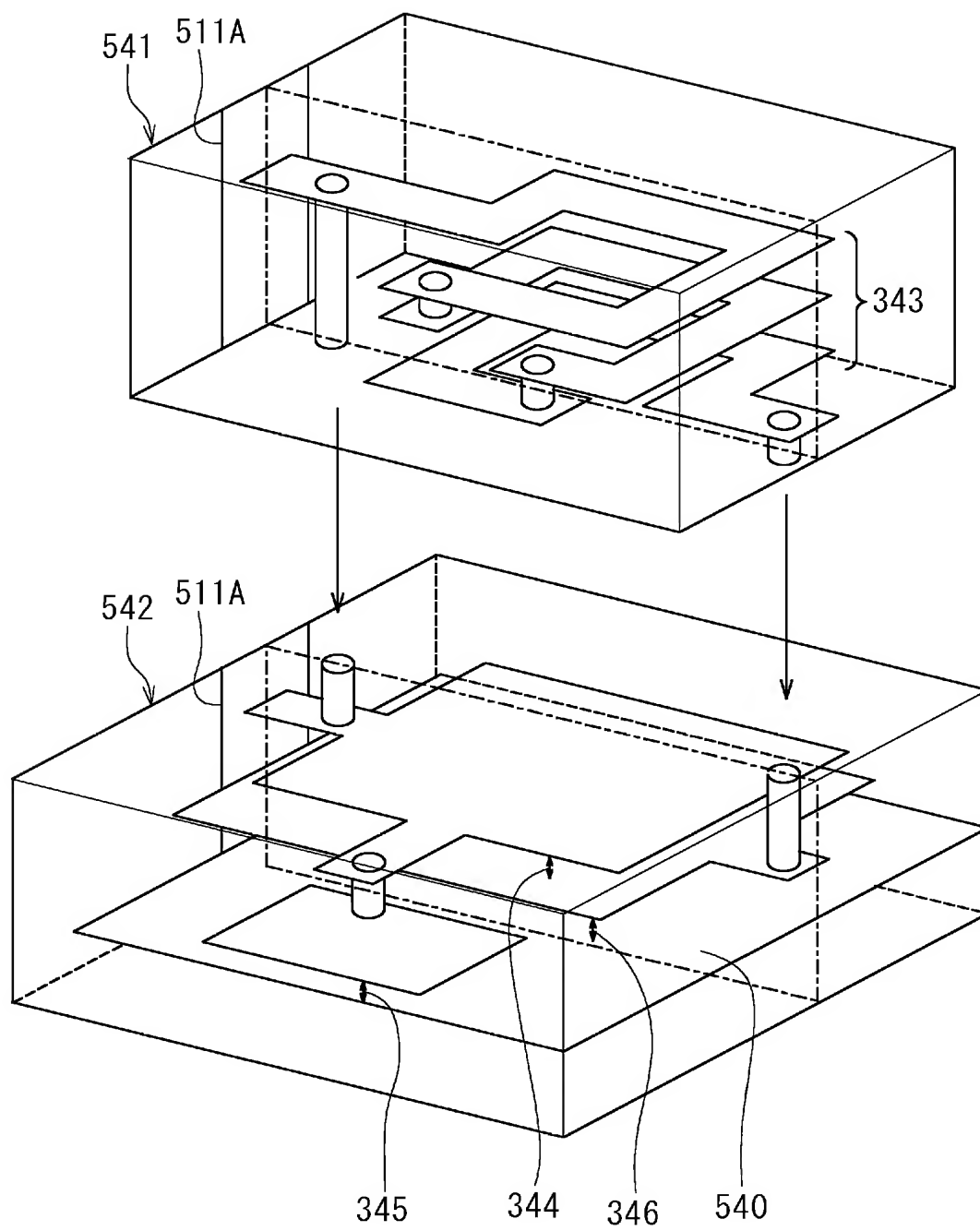
【図36】



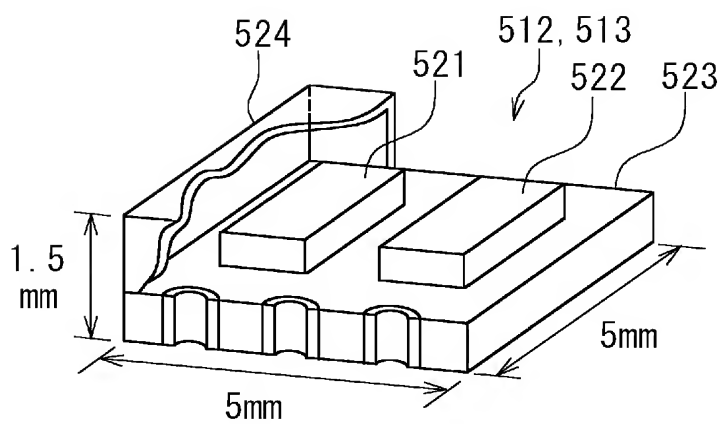
【図37】



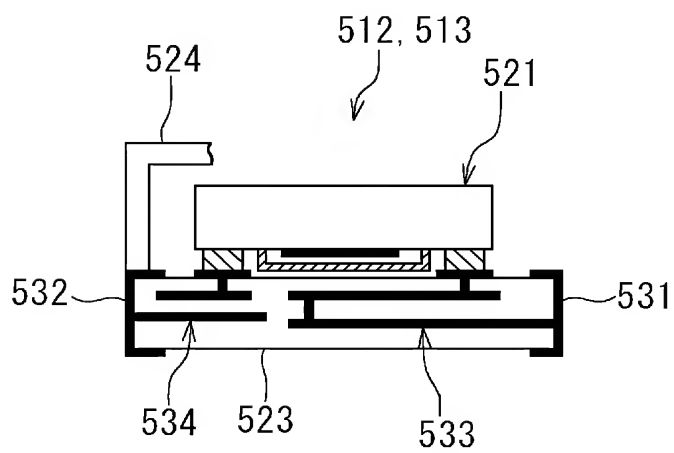
【図38】



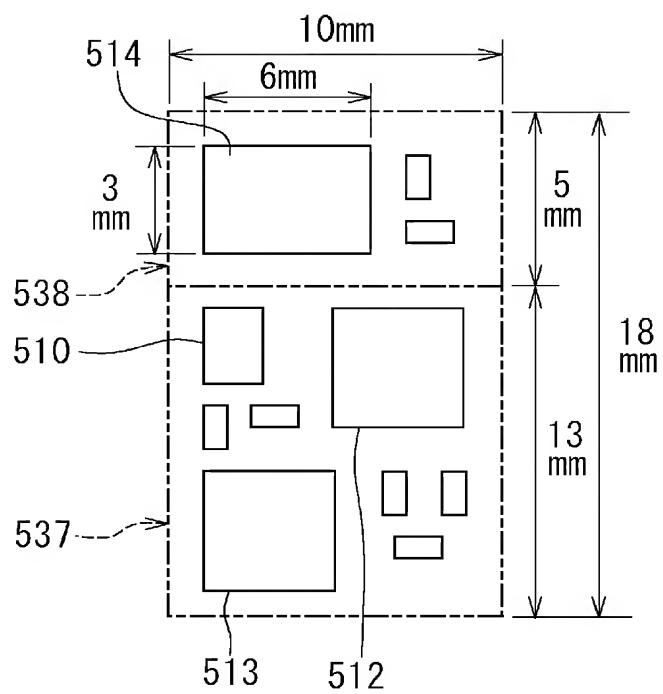
【図 39】



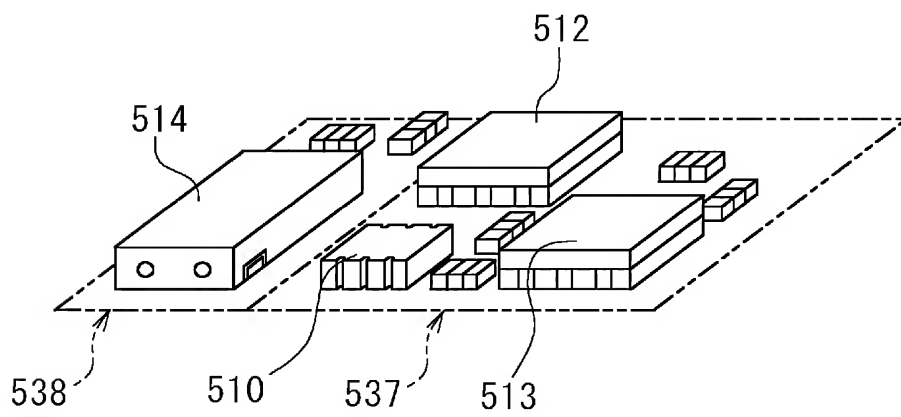
【図 40】



【図4 1】



【図4 2】



【書類名】 要約書

【要約】

【課題】 第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号を処理できると共に符号分割多重接続方式に対応可能で、且つ小型軽量化、複合化および集積化が容易なフロントエンドモジュールを実現する。

【解決手段】 フロントエンドモジュール2は、ダイプレクサ11とデュプレクサ13N, 13Wを備えている。デュプレクサ13Nは、高周波スイッチ17を介してダイプレクサ11に接続され、N-CDMA方式の送信信号と受信信号とを分離する。デュプレクサ13Wは、高周波スイッチ16を介してダイプレクサ11に接続され、W-CDMA方式の送信信号と受信信号とを分離する。デュプレクサ13N, 13Wは弾性波素子を含んでいる。フロントエンドモジュール2の構成要素は1つの集積用多層基板によって集積されている。ダイプレクサ11は集積用多層基板の内部および表面上の導体層を用いて構成されている。

【選択図】 図1

【書類名】 手続補正書

【提出日】 平成15年 2月21日

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2003- 37473

【補正をする者】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100107559

【弁理士】

【氏名又は名称】 星宮 勝美

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 提出物件の目録

【補正方法】 追加

【補正の内容】

【提出物件の目録】

【物件名】 委任状 1

(A)10300330001



委任状

平成 5 年 2 月 19 日

私は、識別番号 100107559 弁理士 星宮 勝美 氏
を以って代理人として下記の事項を委任致します。

1. 本件特許出願に関する放棄又は取下げ、出願変更、出願人名義変更、証明の請求、拒絶査定不服及び補正却下の決定に対する審判の請求、並びにそれらの下附を受けること
 2. 本件出願の分割出願及び補正却下の決定に対する新たな出願に関する一切の件並びに当該出願に関する上記事項一切の件
 3. 本件出願に基づく特許権の存続期間の延長登録の出願
 4. 本件出願に係る特許に対する特許異議の申立て、又は商標（防護上記標章）登録に対する登録異議の申立てに関する手続き
 5. 本件出願に係る再審の請求
 6. 特願 2002-089726 号
特願 2002-130372 号
- に基づくに基づく優先権証明願に関する一切の件、及び特許法第41条第1項の規定による優先権の主張
7. 以上の諸手続き、諸請求の取り下げ
 8. 上記事項に関する行政不服審査法に基づく諸手続き
 9. 上記事項に関する復代理人の選任及び解任

識別番号 000003067
住所 東京都中央区日本橋一丁目13番1号
郵便番号 103-0027
名称 ティーディーケイ株式会社
代表者 澤 部 肇



耳哉木霍言訂正履歴（耳哉木霍言訂正）

特許出願の番号	特願2003-037473	
受付番号	10300330001	
書類名	手続補正書	
担当官	末武 実	1912
作成日	平成15年 4月 2日	

<訂正内容1>

訂正ドキュメント

書誌

訂正原因

職権による訂正

訂正メモ

【手続補正 1】の欄の記載に誤りがあり訂正します。

訂正前内容

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 委任状

【補正方法】 追加

【補正の内容】

【提出物件の目録】

【物件名】 委任状 1

訂正後内容

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 提出物件の目録

【補正方法】 追加

【補正の内容】

【提出物件の目録】

【物件名】 委任状 1

【書類名】 手続補正書
【整理番号】 99P04685
【あて先】 特許庁長官殿
【事件の表示】
【出願番号】 特願2003- 37473
【補正をする者】
【識別番号】 000003067
【氏名又は名称】 TDK株式会社
【代理人】
【識別番号】 100107559
【弁理士】
【氏名又は名称】 星宮 勝美
【手続補正1】
【補正対象書類名】 明細書
【補正対象項目名】 0058
【補正方法】 変更
【補正の内容】
【0058】

次に、図7を参照して、カブラ22Gの回路構成の一例について説明する。図7に示したカブラ22Gは、入力端子171と、出力端子172と、モニタ端子173と、負荷接続端子174とを有している。カブラ22Gは、更に、一端が入力端子171に接続され、他端がモニタ端子173に接続されたキャパシタ175と、一端が入力端子171に接続され、他端が出力端子172に接続されたインダクタ176と、一端がモニタ端子173に接続され、他端が負荷接続端子174に接続されたインダクタ177と、一端が出力端子172に接続され、他端が負荷接続端子174に接続されたキャパシタ178とを有している。モニタ端子173は、自動出力制御回路23Gの入力端に接続されるようになっている。負荷接続端子174は、50Ωの負荷を介して接地されるようになっている。なお、図1におけるカブラ22D、33W、33Nの回路構成は、カブラ22Gと同様である。

【手続補正2】
【補正対象書類名】 明細書
【補正対象項目名】 0141
【補正方法】 変更
【補正の内容】
【0141】

以上説明したように、本実施の形態に係るフロントエンドモジュール302は、AMP S帯域とPCS帯域とを分離するダイプレクサ310と、AMP S帯域における送信信号と受信信号とを分離するデュプレクサ312と、PCS帯域における送信信号と受信信号とを分離するデュプレクサ313と、GPSにおける受信信号を選択的に通過させるBPF314とを備えている。デュプレクサ312は、それぞれフィルタとして機能する2つの弾性波素子を含んでいる。デュプレクサ313も、それぞれフィルタとして機能する2つの弾性波素子を含んでいる。本実施の形態では、ダイプレクサ310、デュプレクサ312、313およびBPF314は、集積用多層基板430によって集積されている。ダイプレクサ310は、集積用多層基板430の内部または表面上の導体層を用いて構成されている。

【書類名】 手続補正書
【整理番号】 99P04685
【あて先】 特許庁長官殿
【事件の表示】
【出願番号】 特願2003- 37473
【補正をする者】
【識別番号】 000003067
【氏名又は名称】 TDK株式会社
【代理人】
【識別番号】 100107559
【弁理士】
【氏名又は名称】 星宮 勝美
【発送番号】 226748
【手続補正1】
【補正対象書類名】 明細書
【補正対象項目名】 特許請求の範囲
【補正方法】 変更
【補正の内容】

【特許請求の範囲】

【請求項1】 第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号を処理するためのフロントエンドモジュールであって、

アンテナに接続され、前記第1および第2の周波数帯域を分離する第1の分離手段と、
前記第1の分離手段に接続され、それぞれフィルタとして機能する2つの弾性波素子を含み、前記第1の周波数帯域における送信信号と受信信号とを分離する第2の分離手段と

、
前記第1の分離手段に接続され、それぞれフィルタとして機能する2つの弾性波素子を含み、前記第2の周波数帯域における送信信号と受信信号とを分離する第3の分離手段と

、
前記第1ないし第3の分離手段を集積するための1つの集積用多層基板とを備え、
前記第1の分離手段は、前記集積用多層基板の内部または表面上の導体層を用いて構成され、

前記第1の分離手段はフィルタを含み、

前記第2の分離手段または第3の分離手段は、前記弾性波素子と前記第1の分離手段との間に設けられてインピーダンスを調整するディレーラインを含み、

前記第2の分離手段に含まれる2つの弾性波素子および前記第3の分離手段に含まれる2つの弾性波素子は、前記集積用多層基板の上面に実装され、

前記集積用多層基板は、内部の導体層として、グランド層と、前記グランド層と前記集積用多層基板の上面との間に配置されて前記ディレーラインを構成する導体層と、前記グランド層と集積用多層基板の下面との間に配置されて前記第1の分離手段に含まれる前記フィルタを構成する導体層とを含み、

フロントエンドモジュールは、更に、前記集積用多層基板の下面に配置され、前記第1の分離手段に含まれる前記フィルタを構成する前記導体層に接続された端子を備えたことを特徴とするフロントエンドモジュール。

【請求項2】 更に、前記ディレーラインと前記第1の分離手段との間に設けられた整合回路を備え、前記集積用多層基板は、内部の導体層として、更に、前記グランド層と前記集積用多層基板の上面との間に配置されて前記整合回路を構成する導体層を含むことを特徴とする請求項1記載のフロントエンドモジュール。

【請求項3】 前記第1の分離手段は、

第1の周波数帯域内の周波数の信号を通過させ、第2の周波数帯域内の周波数の信号を遮断するフィルタと、

第2の周波数帯域内の周波数の信号を通過させ、第1の周波数帯域内の周波数の信号を遮断するフィルタとを有することを特徴とする請求項1または2記載のフロントエンドモジュール。

【請求項4】 前記第1および第2の周波数帯域のそれぞれにおける送信信号および受信信号は、符号分割多重接続方式の信号であることを特徴とする請求項1ないし3のいずれかに記載のフロントエンドモジュール。

【手続補正2】

【補正対象書類名】 明細書
【補正対象項目名】 0148
【補正方法】 変更
【補正の内容】
【0148】

また、本発明のフロントエンドモジュールでは、第2の分離手段に含まれる2つの弾性波素子および第3の分離手段に含まれる2つの弾性波素子は、集積用多層基板に実装され、弾性波素子以外の第2の分離手段および第3の分離手段の回路部分の少なくとも一部は、集積用多層基板の内部または表面上の導体層を用いて構成されている。従って、本発明によれば、フロントエンドモジュールをより小型軽量化することが可能になるという効果を奏する。

出願人履歴

000003067

19900830

新規登録

500540187

東京都中央区日本橋1丁目13番1号

ティーディーケイ株式会社

000003067

20030627

名称変更

500540187

東京都中央区日本橋1丁目13番1号

TDK株式会社